

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3004876号  
(P3004876)

(45) 発行日 平成12年 1 月31日 (2000. 1. 31)

(24) 登録日 平成11年11月19日 (1999. 11. 19)

(51) Int.Cl.<sup>7</sup>

H 0 4 L 12/28

識別記号

F I

H 0 4 L 11/20

E

請求項の数 5 (全 26 頁)

(21) 出願番号 特願平6-164094

(22) 出願日 平成 6 年 7 月 15 日 (1994. 7. 15)

(65) 公開番号 特開平8-32593

(43) 公開日 平成 8 年 2 月 2 日 (1996. 2. 2)

審査請求日 平成 9 年 10 月 2 日 (1997. 10. 2)

(73) 特許権者 392026693

エヌ・ティ・ティ移動通信網株式会社  
東京都港区虎ノ門二丁目10番1号

(72) 発明者 森川 弘基

東京都港区虎ノ門二丁目10番1号 エ  
ヌ・ティ・ティ移動通信網株式会社内

(74) 代理人 100098084

弁理士 川▲崎▼ 研二 (外 2 名)

審査官 江嶋 清仁

(56) 参考文献 特開 平 7 - 336393 (J P, A)

特開 平 4 - 362824 (J P, A)

(58) 調査した分野(Int.Cl.<sup>7</sup>, D B 名)

H04L 12/28

(54) 【発明の名称】 通信装置、送信装置および受信装置

1

(57) 【特許請求の範囲】

【請求項 1】 論理回線を特定するヘッダ部と該論理回線を介して伝送すべきデータを特定するペイロード部とから成るセルが順次供給されると、前記セルを複数結合して成るビット列を生成するとともに、第 1 のセルが供給された後に該第 1 のセルと同一のヘッダ部を有する第 2 のセルが供給されると、この第 2 のセルのヘッダ部を除去して前記ビット列を生成するビット列生成手段と、前記ビット列を所定長単位で分割して部分ビット列を生成するビット列分割手段と、これら部分ビット列に各々所定の識別情報を付加して成るフレームを生成して出力するとともに、前記第 2 のセルのヘッダ部は前記第 1 のセルのヘッダ部と同一である旨を示す同一ヘッダ識別情報を、前記第 2 のセルのペイロード部が格納されるフレームに前記識別情報として付

2

加するフレーム生成手段とを具備することを特徴とする送信装置。

【請求項 2】 複数のフレームが供給されると、これらフレームから複数のセルを再生する受信装置であって、前記セルは、論理回線を特定するヘッダ部と該論理回線を介して伝送すべきデータを特定するペイロード部とから成るものであり、前記フレームは、ビット列を所定長単位で分割して部分ビット列を生成し、これら部分ビット列に各々所定の識別情報を付加して成るものであり、前記ビット列は、前記セルを複数結合して成るとともに、ヘッダ部の共通する第 1 のセルと第 2 のセルとが存在する場合には、この第 2 のセルのヘッダ部を除去して生成されるものであり、前記識別情報は、その識別情報の属するフレームに前記

10

第2のセルのペイロード部が格納される場合には、前記第2のセルのヘッダ部は前記第1のセルのヘッダ部と同一である旨を示す同一ヘッダ識別情報を含むものであり、

ヘッダ部記憶手段と、

供給されたフレームに前記同一ヘッダ識別情報が含まれておらず、かつ、このフレームにヘッダ部が含まれている場合は、このヘッダ部の内容を前記ヘッダ部記憶手段に書込む書込み手段と、

供給されたフレームに前記同一ヘッダ識別情報が含まれている場合は、このフレームに含まれるペイロード部と、前記ヘッダ部記憶手段に記憶されたヘッダ部とを結合して前記セルを再生するセル再生手段とを具備することを特徴とする受信装置。

【請求項3】 論理回線を特定するヘッダ部と、該論理回線を介して伝送すべきデータを特定するペイロード部とから成るセルを順次伝送する通信路に介挿される通信装置であって、

前記セルを複数結合して成るビット列を所定長単位で分割して部分ビット列を生成し、これら部分ビット列に各々所定の識別情報を付加して成るフレームを生成し、これらフレームを順次出力する送信装置と、

前記各フレームを受信すると、これらのフレームから前記各セルを再生する受信装置とを具備し、

前記送信装置はビット列生成手段とビット列分割手段とフレーム生成手段とから成るものであり、前記受信装置はヘッダ部記憶手段と書込み手段とセル再生手段とから成るものであり、

前記ビット列生成手段は、論理回線を特定するヘッダ部と該論理回線を介して伝送すべきデータを特定するペイロード部とから成るセルが順次供給されると、前記セルを複数結合して成るビット列を生成するとともに、第1のセルが供給された後に該第1のセルと同一のヘッダ部を有する第2のセルが供給されると、この第2のセルのヘッダ部を除去して前記ビット列を生成するものであり、

前記ビット列分割手段は、前記ビット列を所定長単位で分割して部分ビット列を生成するものであり、

前記フレーム生成手段は、これら部分ビット列に各々所定の識別情報を付加して成るフレームを生成して出力するとともに、前記第2のセルのヘッダ部は前記第1のセルのヘッダ部と同一である旨を示す同一ヘッダ識別情報を、前記第2のセルのペイロード部が格納されるフレームに前記識別情報として付加するものであり、

前記書込み手段は、供給されたフレームに前記同一ヘッダ識別情報が含まれておらず、かつ、このフレームにヘッダ部が含まれている場合は、このヘッダ部の内容を前記ヘッダ部記憶手段に書込むものであり、

前記セル再生手段は、供給されたフレームに前記同一ヘッダ識別情報が含まれている場合は、このフレームに含

まれるペイロード部と、前記ヘッダ部記憶手段に記憶されたヘッダ部とを結合して前記セルを再生するものであることを特徴とする通信装置。

【請求項4】 論理回線を特定するヘッダ部と該論理回線を介して伝送すべきデータを特定するペイロード部とから成るセルが順次供給されると、前記セルを複数結合して成るビット列を生成するビット列生成手段と、複数種類のヘッダ部を識別番号に対応させて記憶する送信側ヘッダ部記憶手段と、

10 前記送信側ヘッダ部記憶手段に記憶されている何れかのヘッダ部が前記ビット列に出現すると、このヘッダ部を前記ビット列から除去するヘッダ部除去手段と、

このヘッダ部除去手段から出力されたビット列を所定長単位で分割して部分ビット列を生成するビット列分割手段と、

20 これら部分ビット列に各々所定の識別情報を付加して成るフレームを生成して出力するとともに、前記ヘッダ部の除去されたセルのペイロード部が格納されるフレームに対して、前記識別番号を前記識別情報として付加するフレーム生成手段とを具備することを特徴とする送信装置。

【請求項5】 複数のフレームが供給されると、これらフレームから複数のセルを再生する受信装置であって、前記セルは、論理回線を特定するヘッダ部と該論理回線を介して伝送すべきデータを特定するペイロード部とから成るものであり、

前記フレームは、ビット列を所定長単位で分割して部分ビット列を生成し、これら部分ビット列に各々所定の識別情報を付加して成るものであり、

30 前記ビット列は、前記セルを複数結合し、所定の複数種類のヘッダ部を除去して生成されるものであり、

前記識別情報は、ヘッダ部の除去されたセルのペイロード部が該識別情報の属するフレームに格納される場合には、該除去されたヘッダ部に対応する識別番号を含むものであり、

前記所定の複数種類のヘッダ部を前記識別番号に対応させて記憶する受信側ヘッダ部記憶手段と、

40 供給されたフレームに前記識別番号のうち何れかが含まれている場合は、このフレームに含まれるペイロード部と、前記受信側ヘッダ部記憶手段に記憶されたヘッダ部のうちこの識別番号に対応するヘッダ部とを結合して前記セルを再生するセル再生手段とを具備することを特徴とする受信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はATM通信システムに用いて好適な通信装置、送信装置および受信装置に関する。

【0002】

50 【従来の技術】 図1は、ATM通信システム上のセルの

構造を示すものである。図2は従来のセルベースの伝送路の方式を示したものである。図1、2を用いて従来のATMセル伝送方式を説明する。図1にあるようにATMセルはある固定長のbit列から構成され、このbit列はまた、固定長のセルヘッダ部と残りのペイロード部に分かれる。ペイロード部はATMセルのユーザーが情報を伝送するのに自由に利用できる領域であり、セルヘッダはペイロードの論理回線を特定し、スイッチングの指標となる部分であり、ペイロードにはセルヘッダが一对一で不可欠である。

【0003】ここで、セルの長さを固定セル長を $n[\text{bit}]$ とする。図2にはこのセルを使ったセルベースインタフェースと呼ばれる伝送方式の概要を示す。セルベースインタフェースはセル列を連続に伝送するものである。図の中でメッシュを施した $n[\text{bit}]$ のbit列は通信回線とは別の目的で、例えばこの伝送路の保守作業等に使われる領域であり、図にあるように予め決められたセルの連数 $m-1$ 個毎に $n[\text{bit}]$ の領域がとられる。ただし、本明細書においては、説明の簡素化のため、セルベースインタフェースは連続なセル列とみなす。

#### 【0004】

【発明が解決しようとする課題】ところで、従来のATM通信システムにおいては、単に図2に示すようなセル流を伝送することしかできなかったため、伝送路の態様によっては情報を伝送することが不可能になる場合があり、柔軟性が低いという問題があった。例えば、予め独立に物理規定をされたフレーム伝送を行う伝送路を用いて上記セル流を伝達することは不可能であった。さらに、従来のATM通信システムにおいては、伝送路上で現れるセルのセルヘッダの内容が全て同様であったとしても、セルヘッダの過度な冗長性に対する対応策は存在しなかったため、伝送効率が悪化するという問題もあった。

【0005】この発明は上述した事情に鑑みてなされたものであり、高い柔軟性を有し、しかも伝送効率の高い通信装置、送信装置および受信装置を提供することを目的としている。

#### 【0006】

【課題を解決するための手段】上記課題を解決するために、各請求項に係る発明は以下に示す構成を採っている。

【0007】請求項1記載の構成にあつては、論理回線を特定するヘッダ部と該論理回線を介して伝送すべきデータを特定するペイロード部とから成るセルが順次供給されると、前記セルを複数結合して成るビット列を生成するとともに、第1のセルが供給された後に該第1のセルと同一のヘッダ部を有する第2のセルが供給されると、この第2のセルのヘッダ部を除去して前記ビット列を生成するビット列生成手段と、前記ビット列を所定長

単位で分割して部分ビット列を生成するビット列分割手段と、これら部分ビット列に各々所定の識別情報を付加して成るフレームを生成して出力するとともに、前記第2のセルのヘッダ部は前記第1のセルのヘッダ部と同一である旨を示す同一ヘッダ識別情報を、前記第2のセルのペイロード部が格納されるフレームに前記識別情報として付加するフレーム生成手段とを具備することを特徴としている。

【0008】また、請求項2記載の構成にあつては、複数のフレームが供給されると、これらフレームから複数のセルを再生する受信装置であつて、前記セルは、論理回線を特定するヘッダ部と該論理回線を介して伝送すべきデータを特定するペイロード部とから成るものであり、前記フレームは、ビット列を所定長単位で分割して部分ビット列を生成し、これら部分ビット列に各々所定の識別情報を付加して成るものであり、前記ビット列は、前記セルを複数結合して成るとともに、ヘッダ部の共通する第1のセルと第2のセルとが存在する場合には、この第2のセルのヘッダ部を除去して生成されるものであり、前記識別情報は、その識別情報の属するフレームに前記第2のセルのペイロード部が格納される場合には、前記第2のセルのヘッダ部は前記第1のセルのヘッダ部と同一である旨を示す同一ヘッダ識別情報を含むものであり、ヘッダ部記憶手段と、供給されたフレームに前記同一ヘッダ識別情報が含まれておらず、かつ、このフレームにヘッダ部が含まれている場合は、このヘッダ部の内容を前記ヘッダ部記憶手段に書込む書込み手段と、供給されたフレームに前記同一ヘッダ識別情報が含まれている場合は、このフレームに含まれるペイロード部と、前記ヘッダ部記憶手段に記憶されたヘッダ部とを結合して前記セルを再生するセル再生手段とを具備することを特徴としている。

【0009】また、請求項3記載の構成にあつては、論理回線を特定するヘッダ部と、該論理回線を介して伝送すべきデータを特定するペイロード部とから成るセルを順次伝送する通信路に介挿される通信装置であつて、前記セルを複数結合して成るビット列を所定長単位で分割して部分ビット列を生成し、これら部分ビット列に各々所定の識別情報を付加して成るフレームを生成し、これらフレームを順次出力する送信装置と、前記各フレームを受信すると、これらのフレームから前記各セルを再生する受信装置とを設け、前記送信装置はビット列生成手段とビット列分割手段とフレーム生成手段とから成るものであり、前記受信装置はヘッダ部記憶手段と書込み手段とセル再生手段とから成るものであり、前記ビット列生成手段は、論理回線を特定するヘッダ部と該論理回線を介して伝送すべきデータを特定するペイロード部とから成るセルが順次供給されると、前記セルを複数結合して成るビット列を生成するとともに、第1のセルが供給された後に該第1のセルと同一のヘッダ部を有する第2

のセルが供給されると、この第2のセルのヘッダ部を除去して前記ビット列を生成するものであり、前記ビット列分割手段は、前記ビット列を所定長単位で分割して部分ビット列を生成するものであり、前記フレーム生成手段は、これら部分ビット列に各々所定の識別情報を付加して成るフレームを生成して出力するとともに、前記第2のセルのヘッダ部は前記第1のセルのヘッダ部と同一である旨を示す同一ヘッダ識別情報を、前記第2のセルのペイロード部が格納されるフレームに前記識別情報として付加するものであり、前記書込み手段は、供給されたフレームに前記同一ヘッダ識別情報が含まれておらず、かつ、このフレームにヘッダ部が含まれている場合は、このヘッダ部の内容を前記ヘッダ部記憶手段に書込むものであり、前記セル再生手段は、供給されたフレームに前記同一ヘッダ識別情報が含まれている場合は、このフレームに含まれるペイロード部と、前記ヘッダ部記憶手段に記憶されたヘッダ部とを結合して前記セルを再生するものであることを特徴としている。

【0010】また、請求項4記載の構成にあつては、論理回線を特定するヘッダ部と該論理回線を介して伝送すべきデータを特定するペイロード部とから成るセルが順次供給されると、前記セルを複数結合して成るビット列を生成するビット列生成手段と、複数種類のヘッダ部を識別番号に対応させて記憶する送信側ヘッダ部記憶手段と、前記送信側ヘッダ部記憶手段に記憶されている何れかのヘッダ部が前記ビット列に出現すると、このヘッダ部を前記ビット列から除去するヘッダ部除去手段と、このヘッダ部除去手段から出力されたビット列を所定長単位で分割して部分ビット列を生成するビット列分割手段と、これら部分ビット列に各々所定の識別情報を付加して成るフレームを生成して出力するとともに、前記ヘッダ部の除去されたセルのペイロード部が格納されるフレームに対して、前記識別番号を前記識別情報として付加するフレーム生成手段とを具備することを特徴としている。

【0011】また、請求項5記載の構成にあつては、複数のフレームが供給されると、これらフレームから複数のセルを再生する受信装置であつて、前記セルは、論理回線を特定するヘッダ部と該論理回線を介して伝送すべきデータを特定するペイロード部とから成るものであり、前記フレームは、ビット列を所定長単位で分割して部分ビット列を生成し、これら部分ビット列に各々所定の識別情報を付加して成るものであり、前記ビット列は、前記セルを複数結合し、所定の複数種類のヘッダ部を除去して生成されるものであり、前記識別情報は、ヘッダ部の除去されたセルのペイロード部が該識別情報の属するフレームに格納される場合には、該除去されたヘッダ部に対応する識別番号を含むものであり、前記所定の複数種類のヘッダ部を前記識別番号に対応させて記憶する受信側ヘッダ部記憶手段と、供給されたフレームに

前記識別番号のうち何れかが含まれている場合は、このフレームに含まれるペイロード部と、前記受信側ヘッダ部記憶手段に記憶されたヘッダ部のうちこの識別番号に対応するヘッダ部とを結合して前記セルを再生するセル再生手段とを具備することを特徴としている。

【0012】

【作用】以下、本発明の作用について、請求項毎に説明する。

【0013】請求項1記載の構成にあつては、ビット列生成手段は、論理回線を特定するヘッダ部と該論理回線を介して伝送すべきデータを特定するペイロード部とから成るセルが順次供給されると、これらセルを複数結合して成るビット列を生成するとともに、第1のセルが供給された後に該第1のセルと同一のヘッダ部を有する第2のセルが供給されると、この第2のセルのヘッダ部を除去して前記ビット列を生成する。次に、ビット列分割手段は、このビット列を所定長単位で分割して部分ビット列を生成する。そして、フレーム生成手段は、これら部分ビット列に各々所定の識別情報を付加して成るフレームを生成して出力するとともに、前記第2のセルのヘッダ部は前記第1のセルのヘッダ部と同一である旨を示す同一ヘッダ識別情報を、前記第2のセルのペイロード部が格納されるフレームに前記識別情報として付加する。これにより、フレームのデータ量は、第2のセルのヘッダ部に相当する量だけ削減されることになる。

【0014】また、請求項2記載の構成にあつては、書込み手段は、供給されたフレームに同一ヘッダ識別情報が含まれておらず、かつ、このフレームにヘッダ部が含まれている場合は、このヘッダ部の内容をヘッダ部記憶手段に書込む。また、セル再生手段は、供給されたフレームに同一ヘッダ識別情報が含まれている場合は、このフレームに含まれるペイロード部と、ヘッダ部記憶手段に記憶されたヘッダ部とを結合してセルを再生する。これにより、第2のセルのヘッダ部に相当する量だけデータ量の削減されたフレームから、元々のセルの内容が正確に再現される。

【0015】また、請求項3記載の構成によれば、セルが順次伝送されると、送信装置はこれらセルを結合して成るビット列を分割して部分ビット列を生成し、これら部分ビット列に各々所定の識別情報を付加して成るフレームを生成し、これらフレームを順次出力する。一方、受信装置は、各フレームを受信し、これらのフレームから各セルを再生する。具体的には、送信装置内のビット列生成手段は、論理回線を特定するヘッダ部と該論理回線を介して伝送すべきデータを特定するペイロード部とから成るセルが順次供給されると、これらセルを複数結合して成るビット列を生成するとともに、第1のセルが供給された後に該第1のセルと同一のヘッダ部を有する第2のセルが供給されると、この第2のセルのヘッダ部を除去して前記ビット列を生成する。次に、ビット列分

割手段は、このビット列を所定長単位で分割して部分ビット列を生成する。そして、フレーム生成手段は、これら部分ビット列に各々所定の識別情報を付加して成るフレームを生成して出力するとともに、前記第2のセルのヘッダ部は前記第1のセルのヘッダ部と同一である旨を示す同一ヘッダ識別情報を、前記第2のセルのペイロード部が格納されるフレームに前記識別情報として付加する。これにより、フレームのデータ量は、第2のセルのヘッダ部に相当する量だけ削減されることになる。

【0016】一方、受信装置においては、書込み手段は、供給されたフレームに同一ヘッダ識別情報が含まれておらず、かつ、このフレームにヘッダ部が含まれている場合は、このヘッダ部の内容をヘッダ部記憶手段に書込む。また、セル再生手段は、供給されたフレームに同一ヘッダ識別情報が含まれている場合は、このフレームに含まれるペイロード部と、ヘッダ部記憶手段に記憶されたヘッダ部とを結合してセルを再生する。これにより、第2のセルのヘッダ部に相当する量だけデータ量の削減されたフレームから、元々のセルの内容が正確に再現される。

【0017】また、請求項4記載の構成にあつては、ビット列生成手段は、論理回線を特定するヘッダ部と該論理回線を介して伝送すべきデータを特定するペイロード部とから成るセルが順次供給されると、前記セルを複数結合して成るビット列を生成し、送信側ヘッダ部記憶手段は複数種類のヘッダ部を識別番号に対応させて記憶する。ここで、ヘッダ部除去手段は、送信側ヘッダ部記憶手段に記憶されている何れかのヘッダ部がビット列に出現すると、このヘッダ部をビット列から除去して出力する。ビット列分割手段は、このビット列を所定長単位で分割して部分ビット列を生成する。そして、フレーム生成手段は、これら部分ビット列に各々所定の識別情報を付加して成るフレームを生成して出力するとともに、ヘッダ部の除去されたセルのペイロード部が格納されるフレームに対して、識別番号を識別情報として付加する。これにより、フレームのデータ量は、削減されたヘッダ部に相当する量だけ削減されることになる。

【0018】また、請求項5記載の構成にあつては、受信側ヘッダ部記憶手段は、所定の複数種類のヘッダ部を識別番号に対応させて記憶する。セル再生手段は、供給されたフレームに識別番号のうち何れかが含まれている場合は、このフレームに含まれるペイロード部と、受信側ヘッダ部記憶手段に記憶されたヘッダ部のうちこの識別番号に対応するヘッダ部とを結合してセルを再生する。これにより、複数種類のヘッダ部の削除されたフレームから、元々のセルの内容が正確に再現される。

#### 【0019】

#### 【実施例】

#### A. 第1実施例

以下、本発明の第1実施例について説明する。図3は本

実施例の機能を実現するセル送受信装置の構成図であり、301は本実施例を実現するセル送受信装置、302-1、2は $n[\text{bit}]$  ( $n$ は整数) 固定セルを使ったATM網またはATM端末である。303はセル送受信システムであり、セル送受信装置301とATM網(端末)302とから構成されている。図4はATM網(端末)302とセル送受信装置301との間のインタフェースを説明する図である。図5はセル送受信装置301相互間のインタフェースを説明する図である。

【0020】図6はセル送受信装置301の機能を説明する図である。図において、602は、セルを蓄え、302との間のインタフェース上でのセルの連続性を保つバッファ装置、601はセル列とフレーム列の間で情報の伝送形式の変換を行う変換装置、603は301間でフレームを送受するフレームインタフェース装置である。これら変換装置601、バッファ装置602およびフレームインタフェース装置603は、各々送信部と受信部とを備えている。なお、セル送受信装置301はATM網(端末)とのインタフェースでセル同期クロックを受信することにより、あるいは、セル同期を行うことにより、ATM網(端末)302とは網同期されている。本実施例のシステム内では、セル同期クロックにより $\text{bit}$ 列であるセル列からセル単位での識別と処理が行えるものとする。

【0021】ここで、バッファ装置602の送信部の構成を図7を参照し説明する。図において、701はFIFO形式のバッファであり、ATM網(端末)302から供給されたセル列が順次記憶され、記憶された順に各セルが出力される。選別回路702は、各セルのセルヘッダを参照し、有意情報の入ったセル(有意情報セル)のみを抽出し出力する。703は、抽出されたセル列を変換装置601に送出するセル送出回路である。704はセル挿入回路であり、同期合わせのために、送出回路703から送出されるセル列に適宜空きセルを挿入する。

【0022】次に、バッファ装置602の受信部の構成を図12を参照し説明する。図において1201はFIFO形式のバッファであり、変換装置601から供給されたセル列が順次記憶され、記憶された順に各セルが出力される。選別回路1202は、各セルのセルヘッダを参照し、有意情報の入った有意情報セルのみを抽出する。1203は、抽出されたセル列をATM網(端末)302に送出するセル送出回路である。1204はセル挿入回路であり、同期合わせのために、送出回路1203から送出されるセル列に適宜空きセルを挿入する。

【0023】次に、変換装置601の送信部の構成を図8に示す。図において801はバッファであり、バッファ装置602から供給されたセルを一時的に記憶する。802はセル・フレーム変換回路802であり、セルをフレームの情報フィールドに搭載する。803は、バッ

ファ 8 0 1 から出力されるセル列に空きセルを適宜挿入する空きセル挿入回路である。ここで、セル・フレーム変換回路 8 0 2 における変換方式を図 9 に示す。なお、図において“H”はセルのヘッダ部を示す。

【0 0 2 4】次に、変換装置 6 0 1 の受信部の構成を図 1 0 に示す。図において 1 0 0 1 はバッファであり、フレームインタフェース装置 6 0 3 からフレームが一時的に記憶され、出力される。1 0 0 2 は情報フィールド取り出し結合回路であり、セルをフレームの情報フィールドから取り出し、連続した情報列を生成する。1 0 0 3 はヘッダ同期回路であり、ヘッダ部が情報フィールド取り出し結合回路 1 0 0 2 から出力されるタイミングに同期して、同期クロックを生成し、この同期クロックによって分割された情報をセル送出回路 1 0 0 4 に供給する。1 0 0 5 は空きセル挿入回路であり、セル送出回路 1 0 0 4 に適宜空きセルを供給する。セル送出回路 1 0 0 4 にあつては、空きセルのヘッダ部およびペイロード部に、ヘッダ同期回路 1 0 0 3 を介して供給された情報が挿入され、その結果がバッファ装置 6 0 2 に供給される。なお、情報フィールド取り出し結合回路 1 0 0 2 におけるデータ出力の状態と、ヘッダ同期回路 1 0 0 3 におけるデータ出力の状態とを図 1 1 に示す。

【0 0 2 5】次に、本実施例の動作を説明する。図 4 に示すように、ATM 網（端末）3 0 2 とセル送受信装置 3 0 1 との間のインタフェースは、ATM セルのセルベースインタフェースまたはセル単位で連続したセルを伝送する方式のインタフェースにより接続される。セルとセルの間は連続であるかまたはセルと同じ長さの bit 列が挿入される様な伝送路である。図ではセルヘッダ部を H で示す。

【0 0 2 6】図 5 にセル送受信装置 3 0 1 間のインタフェースを示す。この間の伝送路は固定長または可変長のフレームが用いられ、各フレームは情報を搭載する情報フィールドを持ち、送受信双方向で情報フィールドを送受しあえる機能を持つ。一般のフレーム伝送装置と同様に、セル送受信装置 3 0 1 間はフレーム内の情報フィールドの長さを予め固定しておくか、フレーム毎に情報フィールド長をフレーム内に搭載するかして、送信した情報を受信側で漏れなく取り出せる機能を有しておく。

【0 0 2 7】図 6 において、いま ATM 網（端末）3 0 2 よりセル列が 3 0 1 へ送出されて来ているとする。セル列はまずバッファ回路 6 0 2 に送られてた後、変換装置 6 0 1 へ送られ、フレームに情報を搭載してフレーム列とした後フレームインタフェース装置 6 0 3 へ送られる。フレームインタフェース装置はセル送受信装置 3 0 1 間でのフレーム伝送全般を処理する装置で、フレーム伝送路上の保守機能も含まれる。フレーム伝送路の瞬断、断等の保守処理はこの装置より起動されるとし、以降では、フレーム伝送路上でのフレーム損失等はないものとして説明を行う。

【0 0 2 8】図 7 はバッファ回路 6 0 2 の ATM 網（端末）3 0 2 からセル送受信装置 3 0 1 へ送られてくる方向のセルの処理説明図である。バッファ装置 6 0 2 へ送られてきたセル列はまずバッファ 7 0 1 へ蓄えられる。選別回路 7 0 2 は送出回路 7 0 3 から次期送出セルを用意すべき旨の要求を受けるとセルをバッファ 7 0 1 から F I F O の手順に従って取り出すが、セルヘッダをみて同期合わせ用の無意味な情報を乗せた空きセルである場合はこれを破棄し、有意な情報を搭載した有意情報セルが手に入るまでバッファ 7 0 1 からセルを取り出し、選別を続ける（有意情報セルと空きセルの識別は一般的な ATM 仕様によればセルヘッダの内容によって識別できるので本方式の ATM 網も同様の仕様であることとする）。

【0 0 2 9】送出回路 7 0 3 は連続なセル列を変換装置 6 0 1 へのセルの送出タイミングに従って送出し続ける役割を持つ。もし、バッファ 7 0 1 が空きセルでいっぱいであるなど選別回路 7 0 2 が次期送出セルを用意できなかったときは、空きセル挿入回路 7 0 4 は空きセルを取り出し、送出回路 7 0 3 が連続したセル列を送出し続けられるように空きセルを送出セル列に挿入する。これにより、変換装置 6 0 1 へは連続したセル列が送られることになる。

【0 0 3 0】図 8 はセル列からフレーム列へ変換しフレームを送出する側の変換装置 6 0 1 の処理説明図である。バッファ装置 6 0 2 から送られてくる連続するセル列は一旦バッファ 8 0 1 へ格納される。セル・フレーム変換回路 8 0 2 はバッファ 8 0 1 からセルを一つずつ取り出し、フレームへの情報載せ替え処理を行う。以後特に断らない限りフレーム、セルの bit 位置の情報搭載指定順、情報読み出し指定順は送信側受信側で予め決めておき、フレーム、セル間での変換過程で、搭載、読み出し処理での指定順は守られており、読み出しや書き込み順の間違いによって伝送情報を誤ることはないこととする。

【0 0 3 1】図 9 にセル・フレーム変換回路での載せ替え処理の内容を示す。図において、連続するセルはフレームの情報フィールドに搭載されてゆき、フレームの情報フィールドが満たされる毎にフレームはフレームインタフェース装置 6 0 3 へ送出される。ただし、フレームインタフェース装置 6 0 3 へ送出されるフレームは連続でなければならないので、フレームが満たされる速度とフレームの送出速度は同じでなければならない。このため、セルの連続性はバッファ装置 6 0 2 において保たれるが、必要に応じて空きセル挿入回路 8 0 3 を用意し、フレームの送出速度は一定にして、フレーム送出速度とセルのフレームへの搭載速度を合わせるよう空きセル挿入処理をセルフレーム変換回路で行ってもよい。

【0 0 3 2】図 1 0 は対向するセル送受信装置 3 0 1 から受信したフレーム列をセル列へ変換するフレーム受信

10

20

30

40

50

側の変換装置601の処理説明図である。フレームインタフェース装置603で受信したフレーム列はいったん変換回路601のバッファ1001に格納される。図11に情報フィールド取り出し結合回路1002とヘッダ同期回路1003での処理イメージ説明図を示す。情報フィールド取り出し結合回路はバッファ1001よりフレームを取り出すと共に情報フィールドの情報を取り出し、フレーム間の情報フィールドを結合してbit列を作りヘッダ同期回路1003へbit列を送出する。ヘッダ同期回路1003では一般的なATM伝送方式で決められている仕様と同様にヘッダ同期処理を行いセル同期クロックを作りセル区間の認識ができるようになる。

【0033】ヘッダ同期回路1003はセル同期クロックとともにセル送出回路1004へbit列を送る。セル送出回路1004はこのクロックにより、bit列からセル単位の識別が行え、バッファ装置602へセル単位での送出処理を行う。ここでは特に触れなかったがATM網（端末）302間で送受したいセルの速度とセル送受信装置301間のフレームによる伝送速度は同等に調整されているものとする。特にフレームによる伝送速度がセルの伝送速度よりも著しく遅い場合はセルは図7のバッファ装置602のバッファ701でバッファフローとして破棄させればよい。

【0034】図12は変換装置601から送られてくるセル列のバッファ装置602での処理説明図である。図7の処理と同様に、逆の方向の流れにおいてもまず変換装置601から送られてくるセル列はまずバッファ1201へ蓄えられる。選別回路1202は送出回路1203から次期送出セルの用意の要求を受けるとセルをバッファ701からFIFOの手順に従って取り出すが、セルヘッダをみて同期合わせ用の無意味な情報を乗せた空きセルである場合はこれを破棄し、有意な情報を搭載した有意情報セルが手に入るまでバッファ1201からセルを取り出し、選別を続ける。

【0035】送出回路1203は連続なセル列をATM網（端末）302へのセルの送出タイミングに従って送出し続ける役割を持つ。もし、選別回路1202が次期送出セルを用意できないか、バッファ1201が空きセルでいっぱいであるなど送出セルを用意できなかったときは、空きセル挿入回路1204は空きセルを取り出し、送出回路1203が連続したセル列を送出し続けられるように空きセルを送出セル列に挿入する。これにより、ATM網（端末）302へは連続したセル列が送られることになる。

#### 【0036】B. 第2実施例

次に、本発明の第2実施例について説明する。図13は第2実施例のセル送受信装置301のブロック図である。図において、第1実施例における変換装置601に代えて変換装置1301が、フレームインタフェース装置603に代えてフレームインタフェース装置1302が、

各々設けられている。本実施例におけるセル送受信装置301間のフレームの構成を図14に示す。図15は図13の変換装置1301のブロック図である。図において、1501はバッファ、1502はヘッダ情報を格納するメモリであり、1503はバッファ1501にある処理対象セルのヘッダ情報とメモリ1502のヘッダ情報を比較する比較回路、1504はセルの必要情報をフレームの情報フィールドに搭載するセル・フレーム変換回路、1505は空きフレームを挿入する空きフレーム挿入回路であり、1506はフレームの送出回路である。

【0037】本実施例においては、2つの動作モードがあり、図16は第1モードにおけるデータ挿入回路1504でのセルの必要情報をフレームの情報フィールドに搭載する搭載方式を説明する図である。また、図17は、第2モードにおけるデータ挿入回路1504でのセルからフレームへ情報を搭載する方式を説明する図である。

【0038】図18はフレームを受信する側の変換装置1301のブロック図であって、1801はバッファ、1802はヘッダ情報を格納するメモリであり、1803はバッファ1801にある処理対象フレームの識別子に基づいて識別子毎の処理を行う識別子判断回路、1804はフレームの情報フィールドより、必要に応じてセルのヘッダ情報と他情報列を選別して、メモリ1802及び1805へ引き渡す情報フィールド選別回路、1805はメモリ1802のヘッダ情報とフレームで運ばれてきたペイロード情報を結合してセルを作るセル・フレーム変換回路2、1806はセル送出が連続になるように空きセルを挿入する空きセル挿入回路、1807は連続したセル列をバッファ装置602へ送出するセル送出回路である。

【0039】図19は第1モードにおける図18のセル・フレーム変換回路1805でのフレームの情報フィールドをセルに変換する変換方式を説明する図である。図20は第2モードにおける図18のセル・フレーム変換回路1805でのフレームの情報フィールドをセルに変換する変換方式を説明する図である。図3、4、5、13～19を用いて第1、第2モードのセル送受信方式を説明する。

【0040】第2実施例のシステム構成は第1実施例と同様であり、図3、4、5の構成がそのまま当てはまる。図13に示すように、第2実施例の第1実施例と異なる点はセル送受信装置301の変換装置と、フレームインタフェースの機能のみであり、それぞれ1301、1302と表す。バッファ装置602は第1実施例と同様である。

【0041】図14は第2実施例のセル送受信装置301間で使用するフレームの構成を示したものである。フレーム中には第1実施例と同様の情報フィールドと、3

つ以上の識別項目を伝送できる識別子フィールドが用意される。図上ではこのフィールドを“s”で示す。第1、第2モードでは情報フィールドの長さはセルヘッダの長さより長いものとする。第1実施例のフレームインタフェース装置603にこの形式のフレーム送受信機能を追加したものがフレームインタフェース装置1302である。以降変換装置1301についてのみ説明を行う。

【0042】まずセル送受信装置301のフレーム送信側の処理を説明する。図15においてバッファ装置602から送られてくるセル列はまずバッファ1501に収容され、収容された順にセル単位で処理が進められる。比較回路1503はバッファ1501より処理対象セルのヘッダ情報を取り出し、メモリ1502に書いてあるセルヘッダ情報と比較する。比較回路1503は、比較結果として「異なる」か「同じ」かまたは「空きセル」であることを示す信号を出力する。なお、空きセルであるか否かは、一般のATM方式ではセルヘッダの情報により識別できる。本方式で対象にされるATMセルも同様の方式が取られているものとする。比較回路1503において比較結果が異なる場合は、比較回路1503はメモリ1502にバッファ1501の処理対象セルのヘッダ情報を書き込み、セル・フレーム変換回路1504に比較結果が異なることを通知する。

【0043】比較回路1503において比較結果が同じである場合は、メモリ1502の内容は変えず、セル・フレーム変換回路1504に比較結果が同じであることを通知する。比較回路1503において比較結果が空きセルである場合は、処理対象セルを破棄する。また変換装置1301全体に対して、バッファ1501に収容された次のセルを処理対象セルとして処理を続ける。ただし、直前のセルが次のセルの到着の遅れにより送出されないような場合も考えられるので、必要に応じて予めセル送出の遅延時間が一定値を越えないような定数を比較回路1503に設定しておき、比較回路1503は連続する空きセルの個数をカウントして、この定数を越えるときはセル・フレーム変換回路1504に通知すると共にメモリ1502の値を初期値に戻す。これにより、次に送られてくる有意なセルの比較結果は、必ず「異なる」になる。セル・フレーム変換回路1504ではこの通知を受けたときに前のセルを処理し終わったフレームでまだ情報フィールドに空きが空いている状態のものが残っている場合はこのフレームをただちにフレーム送出回路1506へ送り出す。

【0044】メモリ1502の初期値としては、明らかに使用されないと思われるヘッダ情報を記憶させておくといよい。ただし明らかにセルヘッダの異なるセル列が頻繁に現れるか、試験呼等の特殊ヘッダを持ったセルを定期的に流す機能を持てば、メモリ1502には初期状態で任意の値が書き込まれてあっても比較的短時間で混乱

は避けられる。

【0045】セル・フレーム変換回路1504は処理対象セルをバッファ1501より取り出し、比較回路1503から通知される比較結果によりセルをフレームの情報フィールドへ載せ替える処理を行う。セル・フレーム変換回路1504は比較回路1503の比較結果が「異なる」の場合は「異」、「同じ」の場合は「同」の2種類の識別子を用意する。これと別に識別子には空きフレームを示す識別子「空」も用意する。必要であれば保守用の特殊セル等の識別子を加えることもできる。セル・フレーム変換回路1504での処理は第1、第2モードで方式が異なるため、以下に[1]、[2]としてそれぞれ説明する。

【0046】[1] 第1モードでの処理

1. 比較結果が「異なる」であるときの処理

セル・フレーム変換回路1504に前のセルを処理し終わったフレームでまだ情報フィールドに空きが空いている状態のものが残っている場合はこのフレームはただちにフレーム送出回路1506へ送り出し、新しいフレームを用意する。前のフレームがすでに送出回路1506に送り出されている場合は新しいフレームを用意する。

【0047】新しいフレームを用意したら、セル・フレーム変換回路1504は新しいフレームの識別子フィールドに識別子「異」を書き込む。またセルをヘッダと共に情報フィールドの搭載指定順の先頭から順次搭載していく。搭載していく過程でフレームの情報フィールドが満たされたら、このフレームはフレーム送出回路1506へ送り出し、次のフレームを用意し、フレームの識別子フィールドに識別子「同」を書き込み、情報フィールドの搭載指定順の先頭から順次セルの残りを搭載していく。処理対象セルが全てフレームに搭載されるまで上記処理を行う。

【0048】2. 比較結果が同である場合の処理

セル・フレーム変換回路1504に前のセルを処理し終わったフレームでまだ情報フィールドに空きある状態のものが残っている場合は情報フィールドの空きフィールドの搭載指定順の先頭から処理対象セルのペイロードのみを搭載していく。このフレームの識別子はすでに書き込んであることになるので識別子が「異」でも「同」でも処理はしない。搭載していく過程でフレームの情報フィールドが満たされたら、このフレームはフレーム送出回路1506へ送り出し、次のフレームを用意し、フレームの識別子フィールドに識別子「同」を書き込み、セルの残りを搭載していく。

【0049】前のフレームがすでにフレーム送出回路1506に送り出されているときは新しいフレームを用意し、フレームの識別子フィールドに識別子「同」を書き込み、以下上記と同じく情報フィールドの搭載指定順の先頭から順次、処理対象セルのペイロードのみを搭載していく、搭載していく過程でフレームの情報フィールド



が満たされたら、このフレームはフレーム送出回路1506へ送り出し、次のフレームを用意し、フレームの識別子フィールドに識別子「同」を書き込み、セルの残りを搭載していく。処理対象セルが全てフレームに搭載されるまで上記処理を行う。

【0050】上記1. または2. の処理が終わったら処理対象セルを廃棄し、変換回路1401に入力された順に次のセルを処理対象セルとして処理を続ける。以上の処理によってセルからフレームへ搭載された情報列のイメージを図16に示す。図にあるように第1モードでは同一ヘッダ情報を持つセル列の最初のセルのみセルヘッダをつけたままで、以降のセルはセルヘッダを取り除いてペイロード部のみのペイロード情報列をフレームの情報フィールドに分割搭載していく、セルヘッダの搭載される最初のフレームの識別子のみ「異」とし、後の識別子は全て「同」としてフレームを送信する。同一ヘッダ情報を持つセル列が現れる毎に上記セル・フレーム変換処理が繰り返される。

【0051】[2] 第2モードでの処理

1. 比較結果が「異なる」であるときの処理  
セル・フレーム変換回路1504に前のセルを処理し終わったフレームでまだ情報フィールドに空きが空いている状態のものが残っている場合はこのフレームはただちにフレーム送出回路1506へ送り出し、新しいフレームを用意する。前のフレームがすでに送出回路1506に送り出されている場合は新しいフレームを用意する。

【0052】新しいフレームが用意されると、セル・フレーム変換回路1504は新しいフレームの識別子フィールドに識別子「異」を書き込む。またセルヘッダのみを情報フィールドの予め決められた搭載位置へ搭載する。セルヘッダの搭載位置はセル送受信装置301間で決めておけばフレーム内のどこでもよい。セルヘッダを搭載し終えたら情報フィールドの残りは空きのままでこのフレームはフレーム送出回路1506へ送り出す。この後さらに新しいフレームを用意し、フレームの識別子フィールドに識別子「同」を書き込み、情報フィールドの搭載指定順の先頭から順次ペイロードを搭載していく。搭載していく過程でフレームの情報フィールドが満たされたら、このフレームはフレーム送出回路1506へ送り出し、次のフレームを用意し、フレームの識別子フィールドに識別子「同」を書き込み、情報フィールドの搭載指定順の先頭から順次セルの残りを搭載していく。処理対象セルが全てフレームに搭載されるまで識別子「同」のフレームに搭載していく。

【0053】2. 比較結果が同じである場合の処理  
第2モードにおいて比較結果が同である場合の処理は第1モードの比較結果が同である場合の処理と同様である。上記1. または2. の処理が終わったら処理対象セルを廃棄し、バッファ1401に入力された順に次のセルを処理対象セルとして処理を続ける。以上の処理によ

ってセルからフレームへ搭載された情報列のイメージを図17に示す。

【0054】図にあるように第2モードでは同一ヘッダ情報を持つセル列の共通のセルヘッダをと以降のセルのペイロード部のみのペイロード情報列を搭載するフレームを分け、セルヘッダの搭載される最初のフレームの識別子のみ「異」とし、セルヘッダの搭載されたフレームにはペイロードを搭載せず、ペイロード情報列は続くフレームの識別子を「同」としたフレーム列にて分割搭載する。新たに別の同一ヘッダ情報を持つセル列が現れる毎に上記セル・フレーム変換処理を行う。

【0055】上記[1] または[2] の処理を通してフレーム列はフレーム送信回路1506へ送り出される。ところで、フレーム送出回路1506はフレームインタフェース1302へ連続したフレーム列を送出しなければならないが、セル・フレーム変換回路での処理が送れるなどで連続したフレームが送られてこない場合も考えられる。かかる場合、空きフレーム挿入回路1505においては、同期を合わせるための空きフレームが確保される。この空きフレームの識別子には空きフレームであることを示す「空」が搭載される。なお、この空きフレームは回路間の保守用回線として使用してもよい。空きフレームを随時送出フレーム列に挿入することでフレーム送出回路1506はフレームインタフェース装置1302へ連続したフレーム列を送出する。フレームインタフェース1302は対向するセル送受信装置301のフレームインタフェース装置1302に対してフレーム送出処理を行う。

【0056】次にセル送受信装置301のフレーム受信側の処理を説明する。図18にフレーム受信側の変換装置1301の処理説明図を示す。対向するセル送受信装置301から送られたフレーム列はフレームインタフェース装置1302で受信され、変換回路1301のバッファ1801へ送られる。フレームはまずバッファ1801に収容され、収容された順に処理対象フレームとして処理が行われる。識別子判断回路1803はバッファ1801内の処理対象フレームの識別子フィールドを取り出し、識別子種別を判断する。識別子は先の送信処理のところで説明したように、同か異か空を表す。

【0057】次に識別子別の処理を説明する。最初に、識別子が「空」であった場合はバッファ1801はフレームを破棄し、変換装置1301は破棄されたフレームの次にバッファに収容されたフレームを処理対象フレームとし、先の識別子判断の処理からやり直す。

【0058】次に、識別子が「異」であった場合は、識別子判断回路1803は判断結果が「異」であることを情報フィールド選別回路1804とセル・フレーム変換回路1805に通知する。先に説明したように送信側のセル・フレーム変換回路1504での処理では第1, 第2モード共に識別子が「異」であるフレームには、続け

て伝送したいセル列で共通なセルヘッダが決められた位置に搭載されている。情報フィールド選別回路1804はバッファ1801の処理対象フレームを取り出し、取り出したフレームの情報フィールドの決められた位置よりセルヘッダを選別し、メモリ1802に書き込む。その後セル・フレーム変換回路1805はメモリ1802のセルヘッダ情報を取り出す。

【0059】第1モードでは情報フィールド選別回路1804は処理対象フレームの情報フィールドからヘッダ情報を取り出した残り情報をセル・フレーム変換回路1805へ送り出す。これに対して第2モードでは識別子が「異」であるフレームはセルヘッダ情報しか搭載していないのでメモリ1802の書き換え処理が終わったら処理対象フレームを破棄する。

【0060】最後に識別子が「同」であるときは識別子判断回路1803は判断結果を情報フィールド選別回路1804とセル・フレーム変換回路1805に通知し、情報フィールド選別回路1804はバッファ1801より処理対象フレームを取り出し、取り出したフレームから情報フィールドのみを選別してセル・フレーム変換回路1805に引き渡す。

【0061】以上の処理に対して識別子が「異」と「同」のときのセル・フレーム変換回路1504での処理を以下に説明する。セル・フレーム変換回路1805では識別子判断回路1803から識別子が「異」である通知を受けとったときから、続く識別子が「同」である間に情報フィールド選別回路1804から送られてくる情報フィールドの情報列を、送出指定順につないでいき、先頭からペイロード長で区切り、ペイロードが確保できる毎に先に識別子「異」を受け取ったときにメモリ1802から読み出したセルヘッダを付加してセルを完成し、セル送出回路1807へ送り出す。

【0062】上記の処理によってフレームからセルへ搭載された情報列のイメージを第1、第2モードをまとめて図19に示す。図にあるように第1、第2モードはフレームへのセルの搭載方法は異なるので、フレーム列よりセルヘッダとペイロード情報列を取り出す方法は異なるが、復元方法は同じで、ペイロード情報列からペイロードを切り出し、セルヘッダを付加してセルを復元する。セル送出回路1807は必要に応じて空きセル挿入回路1806を用いてセルの連続性を保ち、セル列をバッファ装置602に送出する。上記方式でセルからフレームへ情報を載せ替えるときに適切な誤り訂正符号を付加することもできる。この場合フレーム受信側で送信側で処理する誤り訂正方式を知っておけば復元可能である。また本実施例で現れるATM伝送路の本実施例のシステム区間を含む区間で誤り訂正符を施素異も可能であるので、本実施例は誤り訂正の必要な伝送路でも適用ができる。

【0063】C. 第3実施例

図20は第3実施例のセル送受信装置301のブロック図である。図において、2001はセル列とフレーム列の間で情報の伝送形式の変換を行う変換装置であり、第1、第2実施例の変換装置601、1301に代えて設けられている。また、2002はセル送受信装置301間のフレーム伝送処理を行うフレームインタフェース装置であり、第1、第2実施例のフレームインタフェース装置603、1302に代えて設けられている。

【0064】図21は図20の変換装置2001のブロック図であって、2101はバッファ、2102-1~nはヘッダ情報を格納するメモリであり、2103はバッファ2101にある処理対象セルのヘッダ情報とメモリ2102のヘッダ情報を比較する比較回路、2104はセルの必要情報をフレームの情報フィールドに搭載するセル・フレーム変換回路、2105は空きフレームを挿入する空きフレーム挿入回路であり、2106はフレームの送出回路であり、2107はセル・フレーム変換回路が直前に変換処理を行ったセルのセルヘッダの記録されているメモリ番号を記憶するメモリである。

【0065】本実施例においても、第1、第2の動作モードがある。図22は、第1モードにおける図21のデータ挿入回路2104でのセルの必要情報をフレームの情報フィールドに搭載する搭載方式を説明する図である。図23は、第2モードにおける図21のデータ挿入回路2104での、セルからフレームへ情報を搭載する方式を説明する図である。図24は第1、第2モード共有の図21のデータ挿入回路2104での、セルからフレームへ情報を搭載する方式を説明する図である。

【0066】図25はフレームを受信する側の変換装置2001のブロック図であって、2501はバッファ、2502-1~nはヘッダ情報を格納するメモリであり、2503はバッファ2501にある処理対象フレームの識別子に基づいて識別子毎の処理を行う識別子判断回路であり、2504はフレームの情報フィールドより、必要に応じてセルのヘッダ情報と他情報列を選別して、メモリ2502及び2505へ引き渡す情報フィールド選別回路である。また、2505はメモリ2502のヘッダ情報とフレームで運ばれてきたペイロード情報を結合してセルを作るセル・フレーム変換回路、2506はセル送出が連続になるように空きセルを挿入する空きセル挿入回路、2507は連続したセル列をバッファ装置602へ送出するセル送出回路である。

【0067】図26は第1、第2モードにおける図25のセル・フレーム変換回路2505でのフレームの情報フィールドをセルに変換する変換方式を説明する図である。図3、4、5、14、20~26を用いて第1、第2モードのセル送受信方式を説明する。第3実施例のシステム構成は第1、第2実施例と同様であり、図3、4、5において説明した通りである。一方、図20に示すように、第3実施例の第1、第2実施例と異なる点は

セル送受信装置 301 の変換装置 2001 と、フレームインタフェース装置 2002 のみである。バッファ装置 602 は第 1、第 2 実施例と同じである。

【0068】フレームの構成は第 2 実施例の図 14 のものと同様である。フレーム中には情報フィールドと、識別子フィールドが用意される。ただし、第 1、第 2 モードでは、識別子として第 2 実施例で示した「異」「同」「空」に追加して番号 1～n を表す識別子が必要となる。これを「1」～「n」で表す。「異」「同」「空」と「1」～「n」は独立に設定できる識別子とするので、識別子フィールドは同時に 2 つの識別子を搭載できる領域を確保するものとする。第 1、第 2 モードでは情報フィールドの長さはセルヘッダの長さより長いものとする。第 1 実施例または第 2 実施例のフレームインタフェース装置 603、1302 に以上の形式のフレーム送受信機能を追加したものがフレームインタフェース装置 2002 である。以降変換装置 2001 について説明を行う。

【0069】まずセル送受信装置 301 のフレーム送信側の処理を説明する。図 21 においてバッファ装置 602 から送られてくるセル列はまずバッファ 2101 に収容され、収容された順にセル単位で処理が進められる。比較回路 2103 はバッファ 2101 より処理対象セルのヘッダ情報を取り出し、メモリ 2102-1～N に書いてあるセルヘッダ情報と比較する。比較回路 1503 には、比較結果として異なる（メモリに無い）か同じ（メモリにある）かまたは空きセルであることを示す機能を持たせる。空きセルであることは一般の ATM 方式ではセルヘッダの情報により識別できる。本方式で対象にされる ATM セルも同様の方式が採られているものとする。

【0070】比較回路 2103 において比較結果が異なる（メモリに無い）場合は、比較回路 2103 はメモリ 2102-1～n の一つを選択してバッファ 2101 の処理対象セルのヘッダ情報を書込み、セル・フレーム変換回路 2104 に比較結果が異なることと、選択されてセルヘッダを書込まれたメモリを通知する。ここで、メモリの選択方法はいくつか考えられる。もし、セルヘッダが搭載されていないメモリがあればこれを選択し、もし、全てのメモリが使用中であれば任意の一つを書き換えるか、または全てのメモリに記録されたセルヘッダ毎の通信量を計測しておき、通信量の一番小さいものから選択して書き換えるかする。

【0071】比較回路 2103 において比較結果が同じ（メモリにある）場合は、メモリ 2102 の内容は変えず、セル・フレーム変換回路 2104 に比較結果が同じであることと、どのメモリのセルヘッダと同じであるかを通知する。比較回路 2103 において比較結果が空きセルである場合は、処理対象セルを破棄する。また、変換装置 2001 全体に対してバッファ 2101 に収容さ

れた次のセルを処理対象セルとして処理を続ける。ただし、直前のセルが次のセルの到着の遅れにより送出されないような場合も考えられるので、必要に応じて予めセル送出の遅延時間が一定値を超えないような定数を比較回路 2103 に設定しておき、比較回路 2103 は連続する空きセルの個数をカウントして、この定数を超えるときは、セル・フレーム変換回路 2104 に通知する。セル・フレーム変換回路 2104 ではこの通知を受けたときに前のセルを処理し終わったフレームで未だ情報フィールドに空きが空いている状態のものが残っている場合はこのフレームを直ちにフレーム送出回路 2106 へ送り出す。

【0072】メモリ 2102-1～n の初期値は、明らかに使用されないと思われるヘッダ情報を記憶させておくといよい。ただし明らかにセルヘッダの異なるセル列が頻繁に現れるか、試験呼等の特殊ヘッダを持ったセルを定期的に流す機能を持てば、メモリ 2102 には初期状態で任意の値が書き込まれてあっても比較的短時間で混乱は避けられる。

【0073】セル・フレーム変換回路 2104 は処理対象セルをバッファ 2101 より取り出し、比較回路 2103 から通知される比較結果およびセルヘッダの格納されるメモリ番号によりセルをフレームの情報フィールドへ載せ替える処理を行う。セル・フレーム変換回路 1504 は比較回路 1503 の比較結果が「異なる」の場合は「異」、「同じ」の場合は「同」、またセルヘッダの格納されるメモリ番号 1～n に対して「1」～「n」の識別子を用意する。これと別に識別子に空きフレームを示す識別子「空」も用意する。必要であれば保守用の特殊セル等の識別子を加えることもできる。

【0074】ところで識別子は以下（「異」または「同」）+（「1」～「n」）の形で使用されるが、「同」のみという形も現れる。この場合は「なし」という識別子があって「同」+「なし」としてもよい。本システム上では「同」のみと「同」+「1」～「n」は識別できるものとする。セル・フレーム変換回路 2104 での処理は第 1 モードと第 2 モード方式が違うので以下に [1]、[2] としてそれぞれ説明する。

【0075】[1] 第 1 モードでの処理

1. 比較結果が異なるときの処理

セル・フレーム変換回路 2104 に前のセルを処理し終わったフレームでまだ情報フィールドに空きが空いている状態のものが残っている場合はこのフレームはただちにフレーム送出回路 2106 へ送り出し、新しいフレームを用意する。前のフレームがすでに送出回路 2106 に送り出されている場合は新しいフレームを用意する。

【0076】新しいフレームを用意したら、セル・フレーム変換回路 2104 は識別子「異」を用意すると共に新しくセルヘッダを更新したメモリの番号（メモリ k）に合わせて識別子「k」を用意し、「異」+「k」を新

しいフレームの識別子フィールドに搭載するとともに「k」をメモリ 2 1 0 7 へ書き込む。またセルをヘッダと共に情報フィールドの搭載指定順の先頭から順次搭載していく。搭載していく過程でフレームの情報フィールドが満たされたら、このフレームはフレーム送出回路 2 1 0 6 へ送り出し、次のフレームを用意し、フレームの識別子フィールドに識別子「同」のみを書き込み、情報フィールドの搭載指定順の先頭から順次セルの残りを搭載していく。処理対象セルが全てフレームに搭載されるまで上記処理を行う。

【0 0 7 7】2. 比較結果が同じである場合の処理  
比較結果が同じである場合は直前の空きセルでない有意セルのセルヘッダがメモリ 1 ~ n のどのメモリに記録されているかで処理が分かれる。今、比較回路から比較結果がメモリ j の内容と同じであることが通知されたとする。セル・フレーム変換回路は比較結果を受け取ると、メモリ 2 1 0 7 を読み出す。

【0 0 7 8】a. メモリ 2 1 0 7 の内容が「j」の場合  
セル・フレーム変換回路 2 1 0 4 に前のセルを処理し終わったフレームでまだ情報フィールドに空きある状態のものが残っている場合は情報フィールドの空きフィールドの搭載指定順の先頭から処理対象セルのペイロードのみを搭載していく。このフレームの識別子はすでに書き込んであることになるので識別子の搭載処理はしない。搭載していく過程でフレームの情報フィールドが満たされたら、このフレームはフレーム送出回路 1 5 0 6 へ送り出し、次のフレームを用意し、フレームの識別子フィールドに識別子「同」のみを書き込み、セルの残りを搭載していく。

【0 0 7 9】前のフレームがすでにフレーム送出回路 2 1 0 6 に送り出されているときは新しいフレームを用意し、フレームの識別子フィールドに識別子「同」のみを書き込み、以下上記と同じく情報フィールドの搭載指定順の先頭から順次、処理対象セルのペイロードのみを搭載していく。搭載していく過程でフレームの情報フィールドが満たされたら、このフレームはフレーム送出回路 2 1 0 6 へ送り出し、次のフレームを用意し、フレームの識別子フィールドに識別子「同」のみを書き込み、セルの残りを搭載していく。

【0 0 8 0】b. メモリ 2 1 0 7 の内容が「j」以外である場合  
セル・フレーム変換回路 2 1 0 4 に前のセルを処理し終わったフレームでまだ情報フィールドに空きが空いている状態のものが残っている場合はこのフレームはただちにフレーム送出回路 2 1 0 6 へ送り出し、新しいフレームを用意する。前のフレームがすでに送出回路 2 1 0 6 に送り出されている場合は新しいフレームを用意する。

【0 0 8 1】新しいフレームを用意したら、セル・フレーム変換回路 2 1 0 4 は識別子「同」を用意すると共にセルヘッダが記憶されていたメモリの番号（メモリ j）

に合わせて識別子「j」を用意し、「同」+「j」を新しいフレームの識別子フィールドに搭載する。またセルのペイロード部分のみを情報フィールドの搭載指定順の先頭から順次搭載していく。搭載していく過程でフレームの情報フィールドが満たされたら、このフレームはフレーム送出回路 2 1 0 6 へ送り出し、次のフレームを用意し、フレームの識別子フィールドに識別子「同」のみを書き込み、情報フィールドの搭載指定順の先頭から順次セルの残りを搭載していく。処理対象セルが全てフレームに搭載されるまで上記処理を行う。処理対象セルが全てフレームに搭載されるまで以上の a. または b. の処理を行い、処理が終わったらメモリ 2 1 0 7 へ「j」を書き込む。

【0 0 8 2】上記 1. または 2. の処理が終わったら処理対象セルを廃棄し、バッファ 2 1 0 1 に入力された順に次のセルを処理対象セルとして処理を続ける。以上の処理によってセルからフレームへ搭載された情報列のイメージを図 2 2 と図 2 4 に示す。図 2 2 にあるように処理対象のセル列の共通なセルヘッダがメモリ 1 ~ n になかった場合は同一ヘッダ情報を持つセル列の最初のセルのみセルヘッダをつけたままで、以降のセルはセルヘッダを取り除いてペイロード部のみのペイロード情報列をフレームの情報フィールドに分割搭載していく。セルヘッダの搭載される最初のフレームの識別子のみ「異」+「k」とし、後の識別子は全て「同」のみとしてフレームを送信する。

【0 0 8 3】また処理対象のセル列の共通なセルヘッダがメモリ 1 ~ n にあった場合は図 2 4 に示すようにペイロード部のみのペイロード情報列をフレームの情報フィールドに分割搭載していく。ペイロード情報列の搭載される最初のフレームの識別子のみ「同」+「j」とし、後の識別子は全て「同」のみとしてフレームを送信する。また処理対象の同一ヘッダ情報を持つセル列が現れる毎に上記セル・フレーム変換処理が繰り返される。

【0 0 8 4】〔2〕第 2 モードでの処理

1. 比較結果が「異なる」であるときの処理

セル・フレーム変換回路 2 1 0 4 に前のセルを処理し終わったフレームでまだ情報フィールドに空きが空いている状態のものが残っている場合はこのフレームはただちにフレーム送出回路 2 1 0 6 へ送り出し、新しいフレームを用意する。前のフレームがすでに送出回路 2 1 0 6 に送り出されている場合は新しいフレームを用意する。

【0 0 8 5】新しいフレームを用意したら、セル・フレーム変換回路 2 1 0 4 は識別子「異」を用意すると共に新しくセルヘッダを更新したメモリの番号（メモリ k）に合せて識別子「k」を用意し、「異」+「k」を新しいフレームの識別子フィールドに搭載するとともに

「k」をメモリ 2 1 0 7 へ書き込む。またセルヘッダのみを情報フィールドの予め決められた搭載位置へ搭載する。セルヘッダの搭載位置はセル送受信装置 3 0 1 間で

決めておけばフレーム内のどこでもよい。セルヘッダを  
搭載し終えたら情報フィールドの残りは空きのままでこ  
のフレームはフレーム送出回路2106へ送り出す。

【0086】この後さらに新しいフレームを用意し、フ  
レームの識別子フィールドに識別子「同」のみを搭載  
し、情報フィールドの搭載指定順の先頭から順次ペイ  
ロードを搭載していく。搭載していく過程でフレームの情  
報フィールドが満たされたら、このフレームはフレーム  
送出回路2106へ送り出し、次のフレームを用意し、  
フレームの識別子フィールドに識別子「同」のみを書き  
込み、情報フィールドの搭載指定順の先頭から順次セル  
の残りを搭載していく。処理対象セルが全てフレームに  
搭載されるまで識別子「同」のみのフレームに搭載して  
いく。

【0087】2. 比較結果が同じである場合の処理  
第2モードの比較結果が同じである場合の処理は第1モ  
ードの比較結果が同である場合の処理と同じである。上  
記1. または2. の処理が終わったら処理対象セルを廃  
棄し、バッファ2101に入力された順に次のセルを処  
理対象セルとして処理を続ける。以上の処理によってセ  
ルからフレームへ搭載された情報列のイメージを図17  
に示す。

【0088】図にあるように第2モードでは同一ヘッダ  
情報を持つセル列の共通のセルヘッダをと以降のセルの  
ペイロード部のみのペイロード情報列を搭載するフレ  
ームを分け、セルヘッダの搭載される最初のフレームの識  
別子のみ「異」とし、セルヘッダの搭載されたフレーム  
にはペイロードを搭載せず、ペイロード情報列は続くフ  
レームの識別子を「同」としたフレーム列にて分割搭載  
する。新たに別の同一ヘッダ情報を持つセル列が現れる  
毎に上記セル・フレーム変換処理を行う。 比較結果が  
同じである場合は直前の空きセルでない有意セルのセル  
ヘッダがメモリ1～nのどのメモリに記録されているか  
で処理が分かれる。今、比較回路から比較結果がメモリ  
jの内容と同じであることが通知されたとする。セル・  
フレーム変換回路は比較結果を受け取ると、メモリ21  
07を読み出す。

【0089】a. メモリ2107の内容が「j」の場合  
セル・フレーム変換回路2104に前のセルを処理し終  
わったフレームでまだ情報フィールドに空きある状態の  
ものが残っている場合は情報フィールドの空きフィー  
ルドの搭載指定順の先頭から処理対象セルのペイロード  
のみを搭載していく。このフレームの識別子はすでに書き  
込んだることになるので識別子の搭載処理はしない。  
搭載していく過程でフレームの情報フィールドが満たさ  
れたら、このフレームはフレーム送出回路2106へ送  
り出し、次のフレームを用意し、フレームの識別子フィ  
ールドに識別子「同」のみを書き込み、セルの残りを搭  
載していく。

【0090】前のフレームがすでにフレーム送出回路2

106に送り出されているときは新しいフレームを用意  
し、フレームの識別子フィールドに識別子「同」のみを  
書き込み、以下上記と同じく情報フィールドの搭載指定  
順の先頭から順次、処理対象セルのペイロードのみを搭  
載していく。搭載していく過程でフレームの情報フィー  
ルドが満たされたら、このフレームはフレーム送出回路  
2106へ送り出し、次のフレームを用意し、フレーム  
の識別子フィールドに識別子「同」のみを書き込み、セ  
ルの残りを搭載していく。

10 【0091】b. メモリ2107の内容が「j」以外で  
ある場合

セル・フレーム変換回路2104に前のセルを処理し終  
わったフレームでまだ情報フィールドに空きが空いてい  
る状態のものが残っている場合はこのフレームはただち  
にフレーム送出回路2106へ送り出し、新しいフレ  
ームを用意する。前のフレームがすでに送出回路2106  
に送り出されている場合は新しいフレームを用意する。

20 【0092】新しいフレームを用意したら、セル・フレ  
ーム変換回路2104は識別子「同」を用意すると共に  
セルヘッダが記憶されていたメモリの番号（メモリj）  
に合わせて識別子「j」を用意し、「同」+「j」を新  
しいフレームの識別子フィールドに搭載する。またセル  
のペイロード部分のみを情報フィールドの搭載指定順の  
先頭から順次搭載していく。搭載していく過程でフレ  
ームの情報フィールドが満たされたら、このフレームはフ  
レーム送出回路2106へ送り出し、次のフレームを用  
意し、フレームの識別子フィールドに識別子「同」のみ  
を書き込み、情報フィールドの搭載指定順の先頭から順  
次セルの残りを搭載していく。処理対象セルが全てフレ  
ームに搭載されるまで上記処理を行う。処理対象セルが  
全てフレームに搭載されるまで以上のa. またはb. の  
処理を行い、処理が終わったらメモリ2107へ「j」  
を書き込む。上記1. または2. の処理が終わったら処  
理対象セルを廃棄し、バッファ2101に入力された順  
に次のセルを処理対象セルとして処理を続ける。

30 【0093】以上の処理によってセルからフレームへ搭  
載された情報列のイメージを図23と図24に示す。図  
23にあるように処理対象のセル列の共通なセルヘッダ  
がメモリ1～nになかった場合は同一ヘッダ情報を持つ  
セル列の共通のセルヘッダと以降のセルのペイロード部  
のみのペイロード情報列を搭載するフレームを分け、セ  
ルヘッダの搭載される最初のフレームの識別子のみ

40 「異」+「k」とし、セルヘッダの搭載されたフレーム  
にはペイロードを搭載せず、ペイロード情報列は続くフ  
レームの識別子を「同」のみとしたフレーム列にて分割  
搭載する。また処理対象のセル列の共通なセルヘッダが  
メモリ1～nにあった場合は特許請求の範囲4と同じで  
あり、図24に示す通りである。新たに別の同一ヘッダ  
情報を持つセル列が現れる毎に上記セル・フレーム変換  
処理を行う。

【0094】上記【1】または【2】の処理を通してフレーム列はフレーム送信回路2106へ送り出される。フレーム送出回路2106はフレームインタフェース2002へ連続したフレーム列を送出しなければならないが、セル・フレーム変換回路での処理が送れるなどで連続したフレームが送られてこない場合も考えられるので、空きフレーム挿入回路2105を使って、同期を合わせるための空きフレームを確保する。この空きフレームの識別子には空きフレームであることを示す「空」を搭載する。この空きフレームは回路間の保守用回線として使うこともできる。空きフレームを随時送出フレーム列に挿入することでフレーム送出回路2106はフレームインタフェース装置2002へ連続したフレーム列を送出する。フレームインタフェース2002は対向するセル送受信装置301のフレームインタフェース装置2002に対してフレーム送出処理を行う。

【0095】ところで以上の説明ではフレームの情報フィールド長とセルのペイロード長は独立に設定されるものとして説明してきたが、もし情報フィールド長とペイロード長が等しいときには識別子は「異」+「1」～「n」と「同」+「1」～「n」のみでよく「同」のみは必要ない。情報フィールド長をペイロード長に合わせて、識別子の必要数を減らし、nを大きく取ることも考えられる。また1セル=1フレームであればフレーム送出タイミング当回路上の処理も用意になる。また本伝送方式上でのセル遅延も小さく押さえることができる。

【0096】次にセル送受信装置301のフレーム受信側の処理を説明する。図25にフレーム受信側の変換装置の処理説明図を示す。対向するセル送受信装置301から送られたフレーム列はフレームインタフェース装置2002で受信され、変換回路2001のバッファ2501へ送られる。フレームはまずバッファ2501に収容され、収容された順に処理対象フレームとして処理が行われる。識別子判断回路2503はバッファ2501内の処理対象フレームの識別子フィールドを取り出し、識別子種別を判断する。識別子は先の送信処理のところで説明したように、「同」+「1」～「n」か「異」+「1」～「n」か「同」のみか「空」が挿入されている。次に識別子別の処理を説明する。

【0097】最初に、識別子が「空」であった場合はバッファ2501はフレームを破棄し、変換装置(3)2001は破棄されたフレームの次にバッファに収容されたフレームを処理対象フレームとし、識別子判断の処理からやり直す。次に、識別子が「異」+「k」であった場合は、識別子判断回路2503は判断結果が「異」+「k」であることを情報フィールド選別回路2504とセル・フレーム変換回路2505に通知する。先に説明したように送信側のセル・フレーム変換回路2104での処理では第1、第2モード共に識別子が「異」+「k」であるフレームには、続けて伝送したいセル列で

共通なセルヘッダが決められた位置に搭載されている。

【0098】情報フィールド選別回路2504はバッファ2501の処理対象フレームを取り出し、取り出したフレームの情報フィールドの決められた位置よりセルヘッダを選別し、メモリk2502-kに書き込む。その後セル・フレーム変換回路2505はメモリk2502-kのセルヘッダ情報を取り出す。第1モードでは情報フィールド選別回路2504は処理対象フレームの情報フィールドからヘッダ情報を取り出した残り情報をセル・フレーム変換回路2505へ送り出す。これに対して第2モードでは情報フィールド選別回路2504は識別子が「異」+「k」であるフレームはセルヘッダ情報しか搭載していないのでメモリk2502-kの書き換え処理が終わったら処理対象フレームを破棄する。

【0099】次に識別子が「同」+「j」であるときは識別子判断回路2503は判断結果を情報フィールド選別回路2504とセル・フレーム変換回路2505に通知する。情報フィールド選別回路2504はバッファ2501より処理対象フレームを取り出し、取り出したフレームから情報フィールドのみを選別してセル・フレーム変換回路2505に引き渡す。またセル・フレーム変換回路2505はメモリj2502-jのセルヘッダ情報を取り出す。

【0100】最後に識別子が「同」のみであるときは識別子判断回路2503は判断結果を情報フィールド選別回路2504とセル・フレーム変換回路2505に通知し、情報フィールド選別回路2504はバッファ2501より処理対象フレームを取り出し、取り出したフレームから情報フィールドのみを選別してセル・フレーム変換回路2505に引き渡す。以上の処理に対して識別子が「同」+「1」～「n」と「異」+「1」～「n」と「同」のみのときのセル・フレーム変換回路2505での処理を以下に説明する。

【0101】セル・フレーム変換回路2505では識別子判断回路2503から識別子が「異」+「k」または「同」+「j」である通知を受けとったときから、続く識別子が「同」である間に情報フィールド選別回路2504から送られてくる情報フィールドの情報列を、送出指定順につないでいき、先頭からペイロード長で区切り、ペイロードが確保できる毎に先に識別子「異」+「k」または「同」+「j」を受け取ったときにメモリj2502-jまたはメモリk2502-kから読み出したセルヘッダを付加してセルを完成し、セル送出回路2507へ送り出す。

【0102】上記の処理によってフレームからセルへ搭載された情報列のイメージを第1、第2モードをまとめて図26に示す。図にあるように第1、第2モードはフレームへのセルの搭載方法は異なるので、フレーム列よりセルヘッダとペイロード情報列を取り出す方法は異なるが、復元する方法は同じで、ペイロード情報列からペ

イロードを切り出し、メモリ2502から読み出したセルヘッダを付加してセルを復元する。セル送出回路2507は必要に応じて空きセル挿入回路2506を用いてセルの連続性を保ち、セル列をバッファ装置602に送出する。

【0103】上記方式でセルからフレームへ情報を載せ替えるときに適切な誤り訂正符号を付加することもできる。この場合フレーム受信側で送信側で処理する誤り訂正方式を知っておけば復元可能である。また本実施例で現れるATM伝送路の本実施例のシステム区間を含む区間で誤り訂正符号を施素異も可能であるので、本実施例は誤り訂正の必要な伝送路でも適用ができる。

#### 【0104】D. 第4実施例

次に、本発明の第4実施例について説明する。図27は第4実施例のセル送受信装置301のブロック図であり、301、302、602、1301または2001、1302または2002はいずれも実施例1、2、3のものと同一であり、2701はセルをバッファに蓄え送出順を制御する処理順管理装置である。図28は図27の処理順管理装置2701の処理説明図であって2801はバッファ、2802はバッファ2801に蓄えられたセルのヘッダ情報及びアドレス及び蓄積された時間の管理を行うバッファ監視回路、2803はバッファ監視回路2802の情報を元にバッファ2801からのセル取り出し制御を行うセル取り出し回路である。

【0105】また、2804はセル取り出し回路2803が取り出したセルのヘッダ情報を記憶するメモリ、2805はセルがバッファに格納されてから一定時間を越えないように監視する時間監視回路であり、2806はセル同期のための空きセルを破棄する空きセル破棄回路であり、2807は変換回路1301または2001へ連続なセル列を送出するセル送出回路、2808はセル送出回路の送出セル列の連続性を保つため空きセルの挿入を行う空きセル挿入回路である、図27、28を使って第4実施例を説明する。

【0106】第4実施例ではセル送受システムのフレーム送信側のみの機能追加が必要になる。図27にあるように、セル送受信装置301のフレーム送信側のバッファ装置602の後段に、本実施例の処理順管理装置を用意する。この処理順管理装置により、セルの送出順位を替えることで、請求項の要求を実現する。処理順管理装置2701の処理概要を図28で説明する。バッファ装置602より送られてきたセルバッファ2801に一端格納されるが、空きセルは空きセル破棄回路2806で破棄される。バッファ監視回路2802は格納されるセルのヘッダと、格納位置（アドレス）と、格納時間を記録する。

【0107】セル取り出し回路2803はバッファ2801よりセルを取り出す毎にヘッダ情報をメモリ2804へ書き込む。初期状態ではメモリ2804は任意の値

を書き込んであればよい。セル取り出し回路2803はセル送出回路2807からの送出要求を受けてまずバッファ監視回路2802へ次取り出しセルのアドレスを要求する。バッファ監視回路2802はメモリ2804に記録されているセルヘッダと同じセルヘッダを持ったセルをバッファ内から捜し出す。

【0108】もしあればFIFOの手順に従って先に格納されたものからアドレスをセル取り出し回路2803へ通知する。もしなければセルのバッファ2801への格納時間をみて、一番長い時間格納されているセルのアドレスをセル取り出し回路2803へ通知する。場合によっては格納時間をみて、現在の時間との差をとり、予め決めて置いた時間より小さい場合には通知対象からはずすことで遅延時間をとり、他のセル間での遅延時間のばらつきを調整することもできる。

【0109】セル取り出し回路2803はバッファ監視回路2802から通知されたアドレスに従ってセルを取り出し、そのヘッダをメモリ2804に書き込むとともにセル送出回路2807へセルを送る。一方時間監視回路2805は、バッファ2801に蓄えられた各セルの格納時間が一定値を越えないようにバッファ監視回路2802を監視し、一定時間を越えるセルがあった場合にはこれをバッファ監視回路2802に通知する。バッファ監視回路2802は時間監視回路2805からの通知を受けると先のメモリ2804の内容に関わらず、通知を受けたセルをアドレスを優先してセル取り出し回路2803へ通知する。セル送出回路2807はセル取り出し回路2803から送られてきたセルを変換回路1301または2001へ送るが、必要に応じて取り出しタイミングが遅れたときなどのために、同期用の空きセルを空きセル挿入回路2808を使って挿入し、セル送出の連続性を保つ。

#### 【0110】E. 第5実施例

次に、本発明の第5実施例について説明する。本実施例では、第2実施例のセル送受信装置301の送信側の変換装置1301の比較回路1503の機能追加とカウンタ回路2901の追加により実現できる。比較回路1503には比較結果をセル・フレーム変換回路1504へ送出する前にカウンタ回路2901へ比較結果を送り、カウンタ回路2901からの指示で比較結果を「同じ」と「異なる」で反転してセル・フレーム変換回路1504へ送出する機能を追加する。カウンタ回路2901は比較回路1503から送られてくる比較結果より、連続する同じの回数（異なるが来るまでの回数）をカウントするかまたは時間を計測する。予め適切な回数nまたは時間tを記憶させておき、もしカウント数がnを越えるか、時間tを越えたら比較回路1503に対して比較結果の同じを「異なる」に変換してセル・フレーム変換回路1504へ送出するよう指示する。比較回路1503はカウンタ回路2901からの指示がない場合は第2実

施例の処理を続ける。指示があった場合は比較結果が異なる時の処理を行う。

【0111】以上により、定期的にセル・フレーム変換回路1504は判断が異なる時の処理を同じセルヘッダのセル列においても行うことになり、同一のセルヘッダを持つセル列が続くときも定期的にセルヘッダ情報が受信側に送られることになる。当然、必要に応じて空きセルも共に連続回数または時間計測の中に含めてもよい。

#### 【0112】F. 第6実施例

次に、本発明の第6実施例について説明する。まず、図30に本実施例のブロック図を示す。本実施例では、第3実施例のセル送受信装置301の送信側の変換装置2001の比較回路2103の機能追加とカウンタ回路3001の追加により実現できる。比較回路2103には比較結果をセル・フレーム変換回路2104へ送出する前にカウンタ回路3001へ比較結果を送り、カウンタ回路3001からの指示で比較結果を「同じ」と「異なる」で反転してセル・フレーム変換回路1504へ送出すると共にメモリの書き換えを行う機能を追加する。カウンタ回路3001は比較回路2103から送られてくる比較結果より、連続するかまたは非連続な「同じ」かまたは「メモリ」と同じ」の回数（「異なる」が来るまでの回数）をカウントするかまたは時間を計測する。

【0113】予め適切な回数または時間を連続な場合と非連続な場合でそれぞれ用意し、記憶させておき、もしカウント数が $n$ を越えるか、時間 $t$ を越えたら比較回路2103に対して比較結果の変更とメモリ2102の書き換え処理を指示する。比較回路2103はカウンタ回路3001からの指示がない場合は第3実施例の処理を続ける。指示があった場合は比較結果が「異なる」時の処理に従い、適切なメモリ $k$ を選び、メモリ $k$ にセルヘッダを書き込み、セル・フレーム変換回路2104へ「異なる」と「メモリ $k$ 」を通知する。

【0114】以上により、定期的にセル・フレーム変換回路1504は判断が「異なる」の時の処理を同じセルヘッダのセル列においても行うことになり、同一のセルヘッダを持つセル列が続くときも定期的にセルヘッダ情報が受信側に送られることになる。当然、必要に応じて空きセルも共に連続回数または時間計測の中に含めてもよい。

#### 【0115】G. 第7実施例

次に、本発明の第7実施例について説明する。まず、第2、第3実施例で説明したように、両実施例の第2モードの方式では、セルヘッダを搭載するフレームには、必ず情報フィールドの決められた位置に固定長の空が現れる。この空き位置に予め指定されたセルを必要な形にして搭載する。図31は第2、第3実施例のセル送受信装置301の変換装置1301または2001の送信側の付加機能を説明する図である。図31の3101は特

定のセルヘッダを持ったセルを抜き出すセル選別回路、3102はセル選別回路3101で取り出されたセルを格納するバッファ、3103はセル送受信装置301間での保守通信を行う保守回路である。

【0116】図32はセルに限定せず多種の形態の情報を送受信するためのフレームの構成を示したものである。図33は送信側のセル・フレーム変換回路1504または2104に追加された機能により本実施例での特定回線をフレームの空き回線に搭載する方式を説明した図である。図34は第2、第3実施例のセル送受信装置301の変換装置1301または2001の受信の付加機能を説明する図である。図34の3401は情報フィールド選別回路1804または2504により選別された特定フレームの情報を蓄えるバッファであり、3402はバッファ3401に蓄えられた情報から必要な形式に従ってセル等を取り出す読み出し回路、3403は受信側のセル送受信装置の保守情報を扱う保守回路である。

【0117】図35は受信側のセル・フレーム変換回路1301または2001に追加された機能により本実施例でのフレームの空きの搭載した回線を取り出す方式を説明した図である。図31～35を使って第7実施例を説明する。図31において送信側の変換回路1301または2101の追加機能を示す。セル選別回路には予め指定すべきセルヘッダを記憶する機能とそのセルをセル列から抜き取る機能を持たせる。セル選別回路3101はバッファ装置602から送られてくる連続するセル列より予め決めて記憶したセルヘッダのセルを取り出す。セル選別回路3101は抜き取ったセルの代わりに空きセルを入れてバッファ1501または2101へは連続したセル列が維持されることとする。

【0118】セル選別回路3101は抜き取ったセルをバッファ3102へ格納する。もし抜き取るセルヘッダの種別が複数であるときはバッファを複数用意するか、バッファの中の異なる領域へ格納する。保守回路3103はもし必要であれば本実施例で使用するフィールドを利用して情報を送ることができる。保守回路3103も送りたい情報をバッファ3102へ格納する。

【0119】セル・フレーム変換回路1504または2104には以下の機能を追加する。比較回路1503または2103から新しくセルヘッダを搭載するよう指示を得たら、識別子が「異」または「異」+「 $k$ 」のフレームを用意し、セルヘッダをそのままか場合によっては誤り制御 $bit$ を付加してフレームに搭載する。このときフレームには固定的な空きフィールドができる。この空きフィールドにバッファ3102に格納されたセルまたは情報を搭載する。

【0120】図32には使用するフレームの説明図を示す。もし複数の回線をこの空きフィールドを利用して通信したい場合はこのフィールドに識別子を付けて搭載さ



れる情報種別を示す。特にセル形態をとらない情報を搭載するときには読み出し方法の識別のため必要である。全ての情報をセルの形態にして処理を行うこと、逆に情報形態を統一したフォーマットを作って利用する事も考えられる。図33に送信側での一連の処理の流れを示す。図の一番下にあるように必要に応じて情報は分割搭載する。

【0121】図34において受信側の変換回路1301または2101の追加機能を示す。情報フィールド選別回路には識別子判断回路1803または2503の判断が「異」または「異」+「k」のときにフレームの従来空きであったフィールドをバッファ3401へ格納する機能を追加する。読み出し回路3402にはバッファ内の情報を読み出し、必要に応じて識別子をみて識別子の内容毎にセルまたは保守回路3403で使用する情報形態に変換して、保守回路3403またはセル送出回路1807または2507へ送出する。図35に受信側での一連の処理の流れを示す。

#### 【0122】H. 変形例

本発明は上述した実施例に限定されるものではなく、例えば以下のように種々の変形が可能である。

①上記各実施例においては、セル送受信装置301とATM網（端末）302の間で、セルはそのままの形態で伝送されたが、両者間のインタフェースは必ずしもセル自体の形態である必要はない。例えば、ATMレイヤとAALレイヤのSAP相当のインタフェースを用いてもよい。すなわち、相手側ATM網（端末）と接続するためにはATMセルを作るための情報（ペイロード情報とセルヘッダ情報）が特定されなければならないが、これらの情報が特定されるのであれば、どのような形態のインタフェースを採用してもよい。

【0123】②上記各実施例はATM通信を行う場合について説明したが、本発明はATM通信以外にも適用できることは言うまでもない。すなわち、セル形式のデータとフレーム形式のデータを相互に変換する装置であれば、本発明は適用可能である。

#### 【0124】

【発明の効果】以上説明したように、本発明によれば、セルを順次伝送する通信路においても、送信装置と受信装置を設けた区間についてはフレームによってデータを伝送することができるから、通信装置の柔軟性をきわめて高くすることが可能である。

【0125】また、請求項1、3記載の構成にあっては、送信装置から出力されるフレームのデータ量を、第2のセルのヘッダ部に相当するだけ削減できる。また、請求項2、3記載の構成にあっては、ヘッダ部記憶手段の内容が読出されることによって、第2のセルのヘッダ部が正確に再現される。従って、これらの送信装置および受信装置によれば、データの伝送効率をきわめて高くすることが可能である。

【0126】さらに、請求項4記載の送信装置にあっては、出力するフレームのデータ量を、複数種類のヘッダ部に相当するだけ削減することができ、請求項5記載の受信装置にあっては、かかるフレームに基づいて元々のセルの内容を正確に再現することができるから、これらによってデータの伝送効率を一層高くすることが可能である。

#### 【図面の簡単な説明】

【図1】ATM通信システム上のセルの構造図である。

【図2】従来のセルベース伝送路説明図である。

【図3】セル送受信装置構成図である。

【図4】ATM網（端末）とセル送受信装置301間のインタフェース説明図である。

【図5】セル送受信装置301間のインタフェース説明図である。

【図6】セル送受信装置構成図である。

【図7】送信側のバッファ装置のブロック図である。

【図8】送信側の変換装置のブロック図である。

【図9】送信側のセル・フレーム変換回路での処理説明図である。

【図10】受信側の変換装置のブロック図である。

【図11】受信側のセル・フレーム変換回路での処理説明図である。

【図12】受信側のバッファ装置のブロック図である。

【図13】セル送受信装置構成図である。

【図14】フレームの構成説明図である。

【図15】送信側の変換装置のブロック図である。

【図16】第2実施例の第1モードの送信側のセル・フレーム変換回路での処理説明図である。

【図17】第2実施例の第2モードの送信側のセル・フレーム変換回路での処理説明図である。

【図18】受信側のセル・フレーム変換装置のブロック図である。

【図19】第2実施例の第1、第2モードの受信側のセル・フレーム変換回路での処理説明図である。

【図20】セル送受信装置構成図である。

【図21】送信側の変換装置のブロック図である。

【図22】第3実施例の第1モードのセルヘッダがメモリにない場合の送信側のセル・フレーム変換回路での処理説明図である。

【図23】第3実施例の第2モードのセルヘッダがメモリにない場合の送信側のセル・フレーム変換回路での処理説明図である。

【図24】第3実施例の第1、第2モードでセルヘッダがメモリにある場合の送信側のセル・フレーム変換回路での処理説明図である。

【図25】受信側の変換装置のブロック図である。

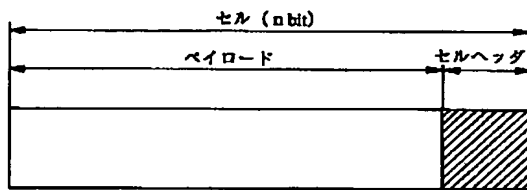
【図26】第3実施例の第1、第2モードの受信側のセル・フレーム変換回路での処理説明図である。

【図27】セル送受信装置構成図である。

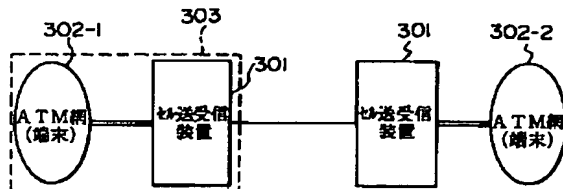
【図28】処理順管理装置のブロック図である。  
 【図29】送信側の変換装置のブロック図である。  
 【図30】受信側の変換装置のブロック図である。  
 【図31】送信側の変換装置のブロック図である。  
 【図32】使用する空きフィールドの説明図である。  
 【図33】送信側のセル・フレーム変換回路での処理説明図である。  
 【図34】受信側の変換装置のブロック図である。  
 【図35】受信側のセル・フレーム変換回路での処理説明図である。  
 【図36】セル送受信装置の構成図である。  
 【図37】送信側の変換装置のブロック図である。  
 【図38】受信側の変換装置のブロック図である。  
 【符号の説明】  
 301 セル送受信装置（通信装置、送信装置、受信装置）

\*

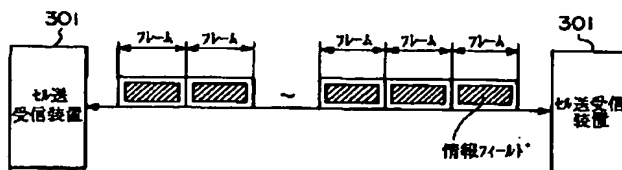
【図1】



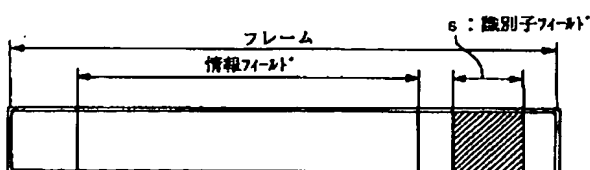
【図3】



【図5】

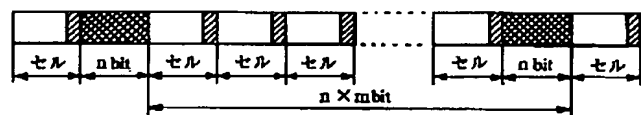


【図14】

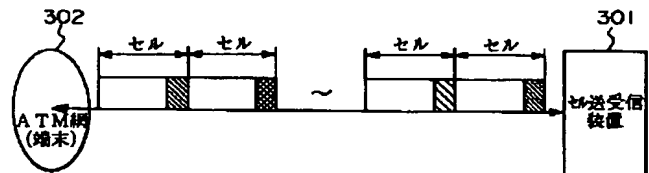


\* 701, 2101, 2801 バッファ（ビット列生成手段）  
 703, 2106, 2807 送出回路（ビット列分割手段、フレーム生成手段）  
 1802 メモリ（ヘッダ部記憶手段）  
 1804 情報フィールド選別回路（書き込み手段）  
 1805, 2505 セル・フレーム変換回路（セル再生手段）  
 1807, 2507 セル送出回路（セル再生手段）  
 10 2102 メモリ（送信側ヘッダ部記憶手段）  
 2103 比較回路（ヘッダ部除去手段）  
 2104 セル・フレーム変換回路（ヘッダ部除去手段）  
 2107 メモリ（フレーム生成手段）  
 2502 メモリ（受信側ヘッダ部記憶手段）

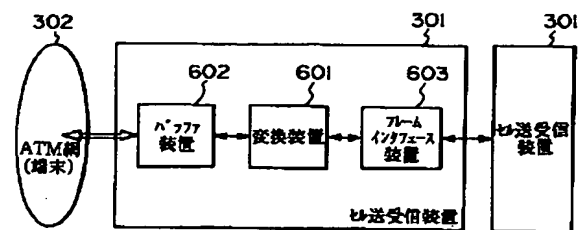
【図2】



【図4】

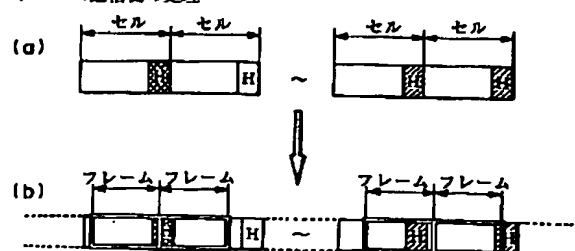


【図6】

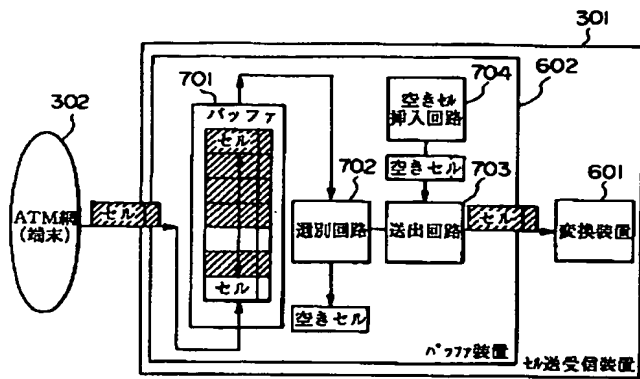


【図9】

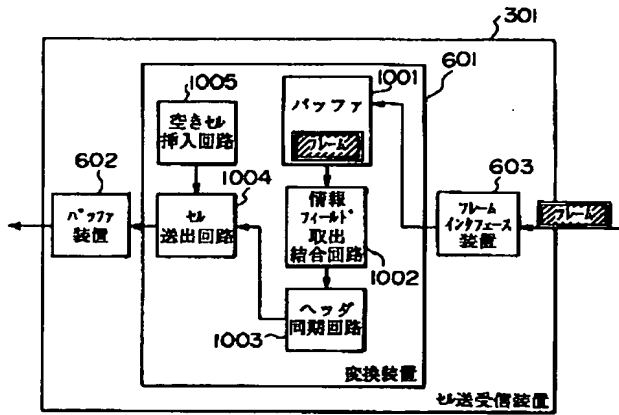
フレーム送信側の処理



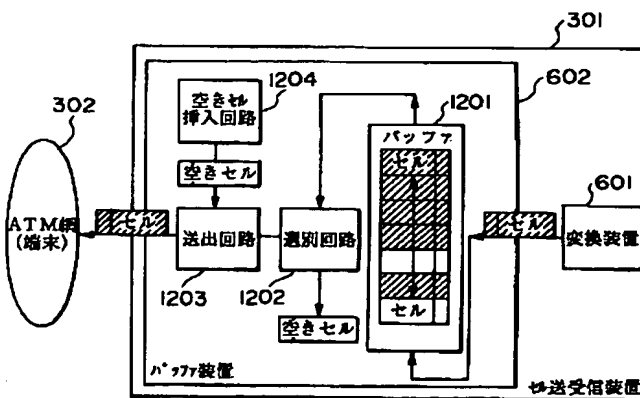
【図 7】



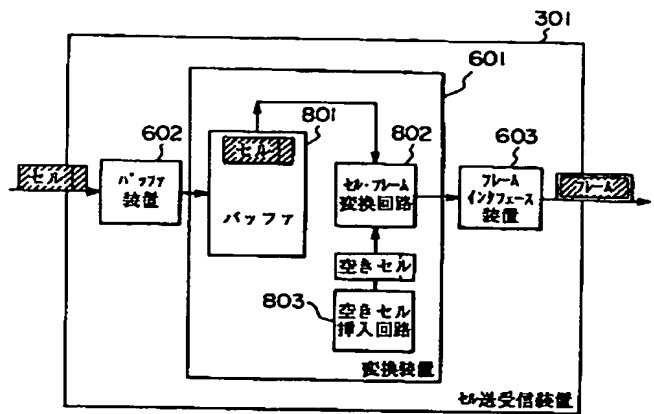
【図 10】



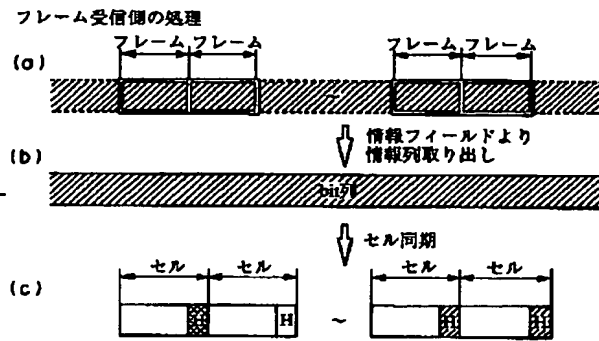
【図 12】



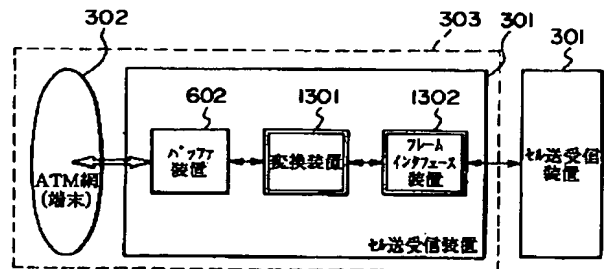
【図 8】



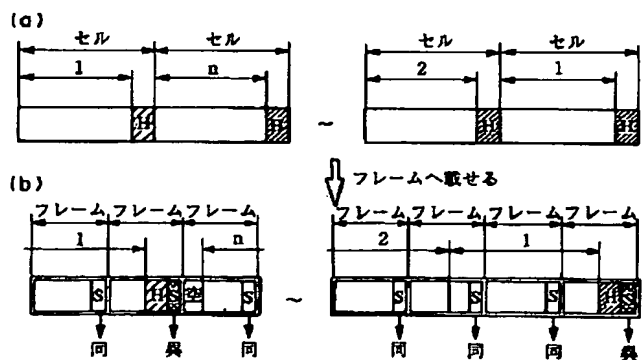
【図 11】



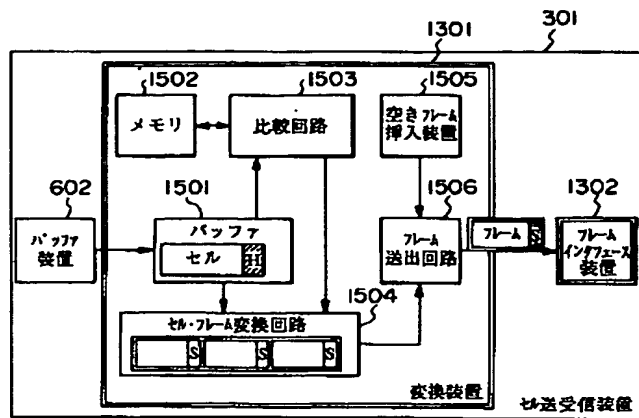
【図 13】



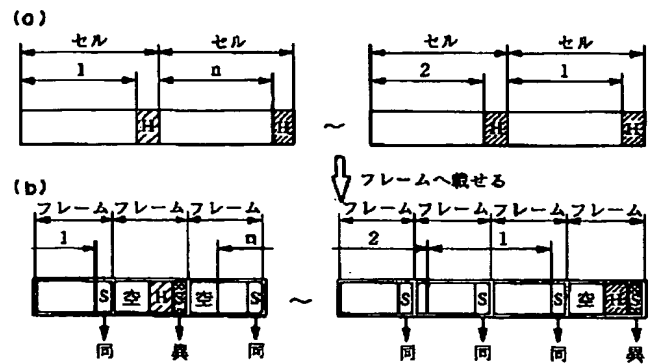
【図 16】



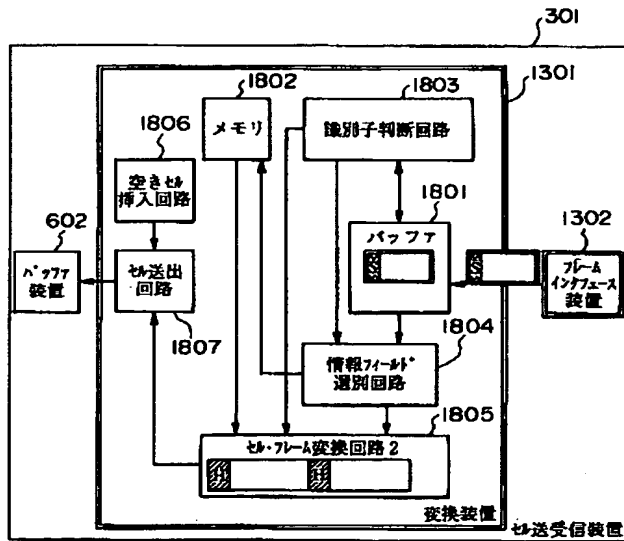
【図 15】



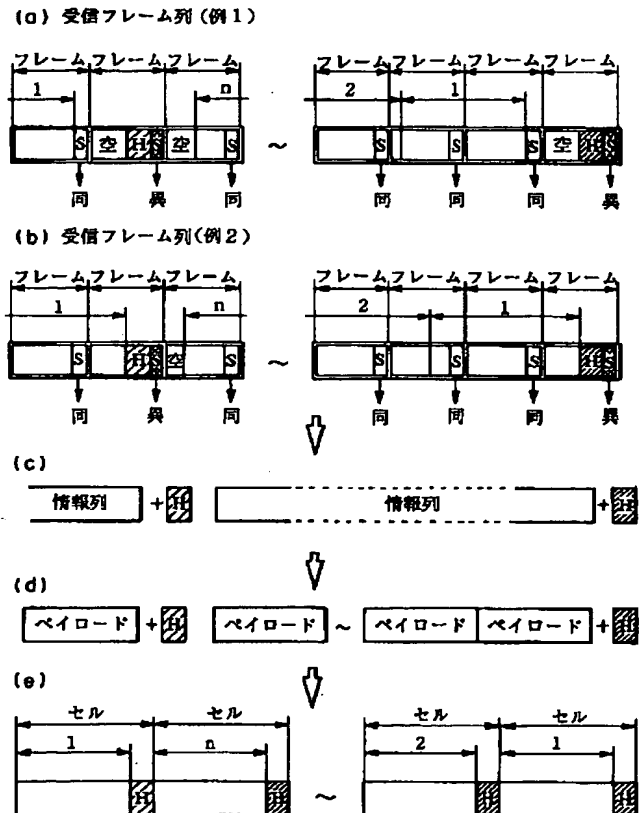
【図 17】



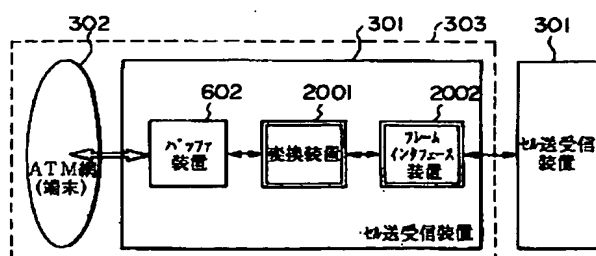
【図 18】



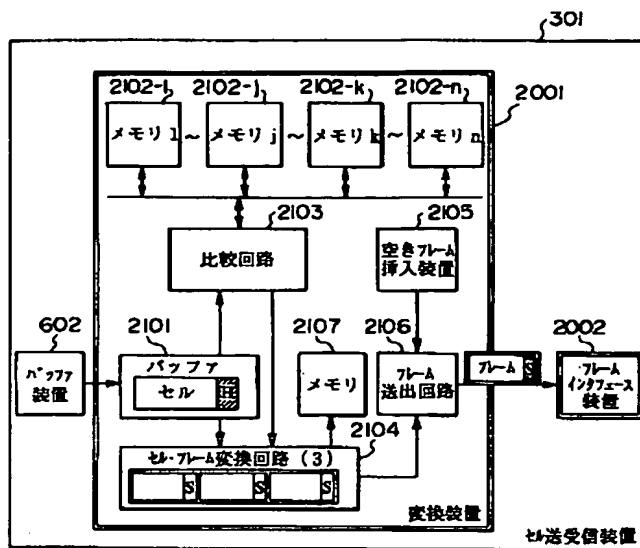
【図 19】



【図 20】

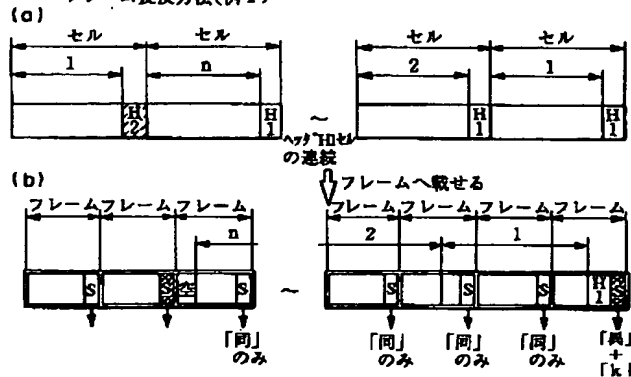


【図21】



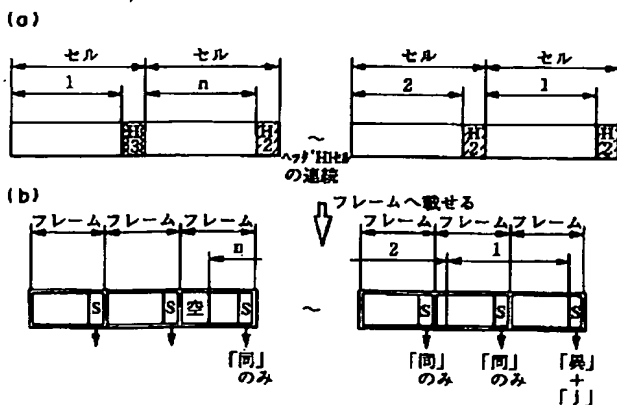
【図22】

共通なセルヘッダがメモリ1～nにない場合の  
セル・フレーム変換方法(例1)

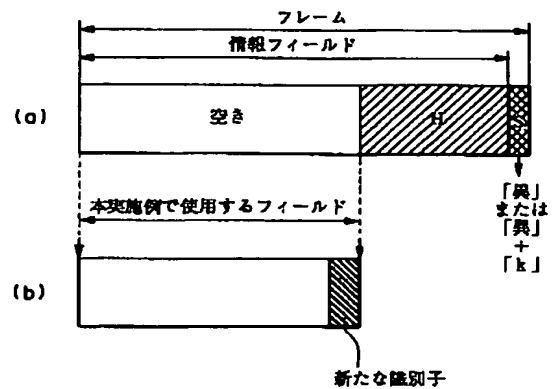


【図24】

共通なセルヘッダがメモリjにある場合の  
セル・フレーム変換方法

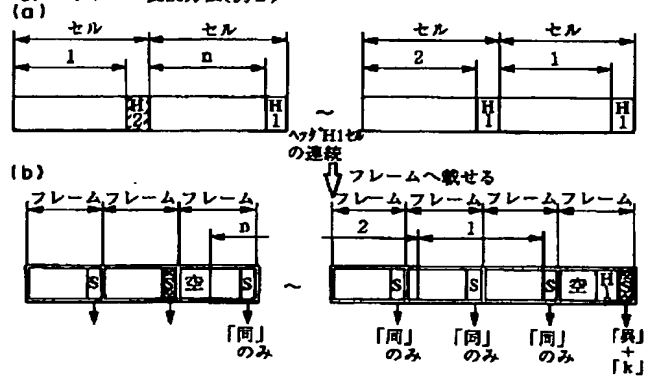


【図32】

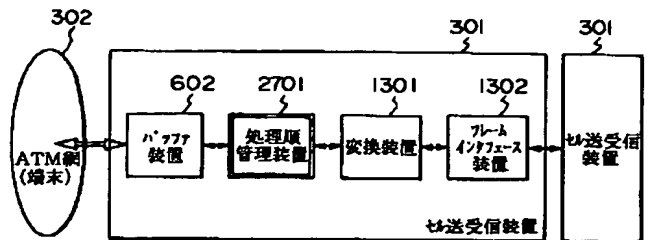


【図23】

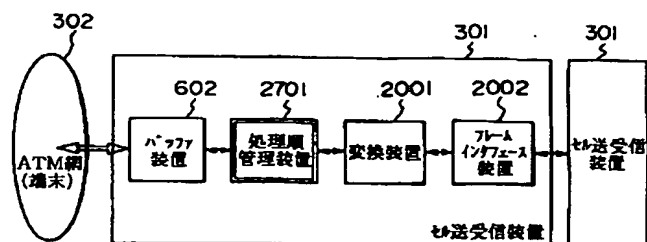
共通なセルヘッダがメモリ1～nにない場合の  
セル・フレーム変換方法(例2)



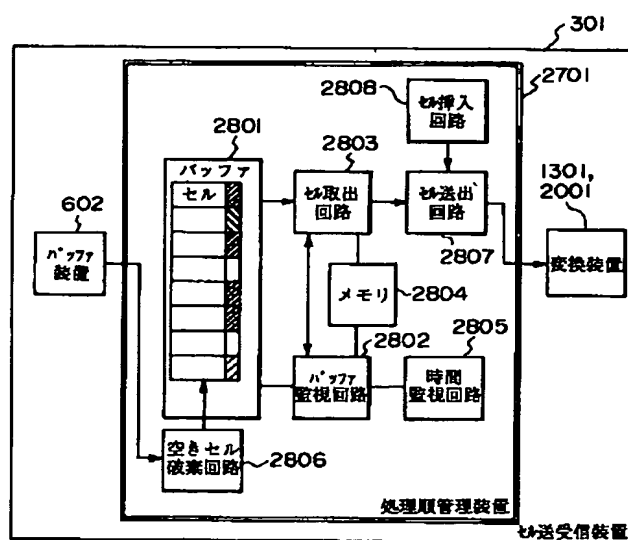
【図27】



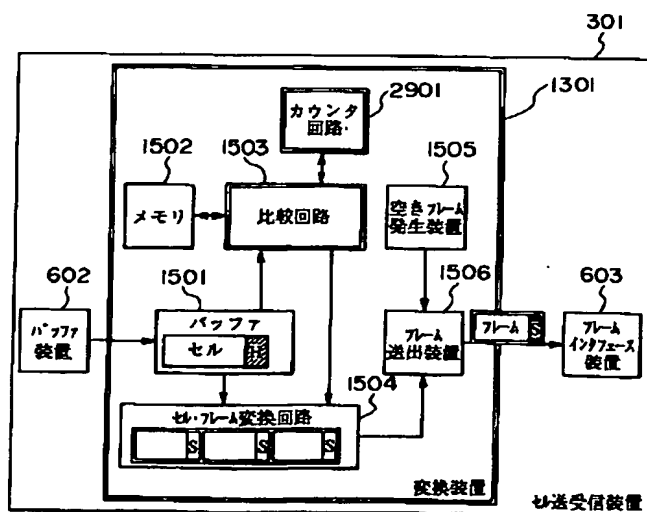
【图 3 6】



【图 28】



【图 29】



【图 2 6】

Figure 1 illustrates two types of frame structures. The left diagram shows a frame with three bays and a cantilevered end. The right diagram shows a frame with four bays. Arrows indicate the direction of movement for each bay. Labels below the diagrams indicate the type of movement: "同のみ" (same only) for the first three bays and "異+" (different +) for the fourth bay.

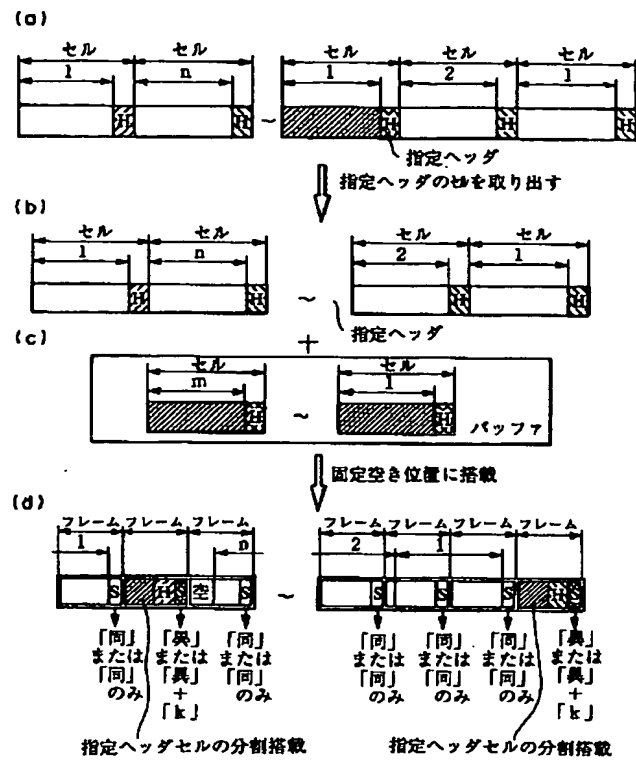
(f)

セル セル セル セル

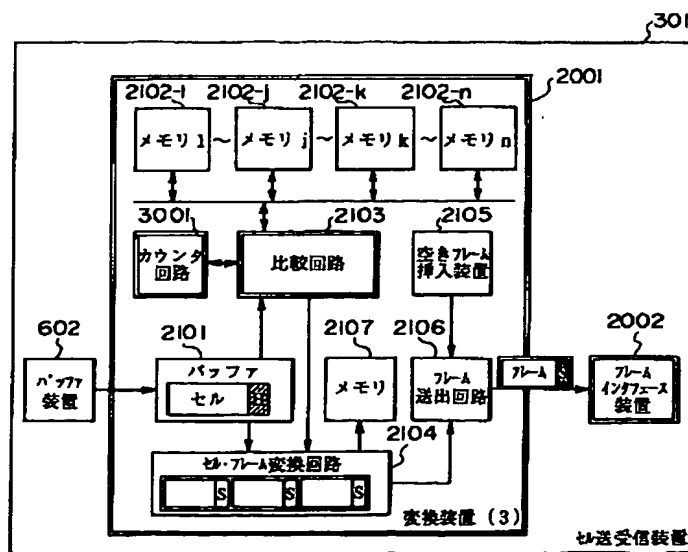
(f)

(g)

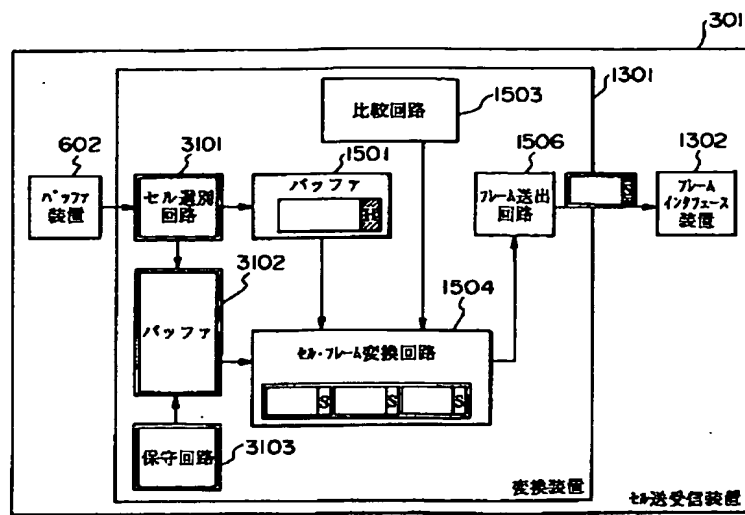
【図 33】



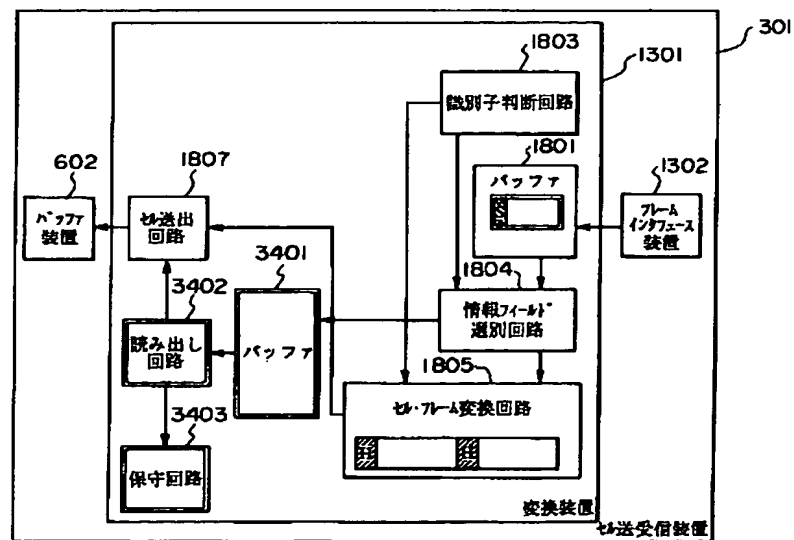
【図 30】



【図31】

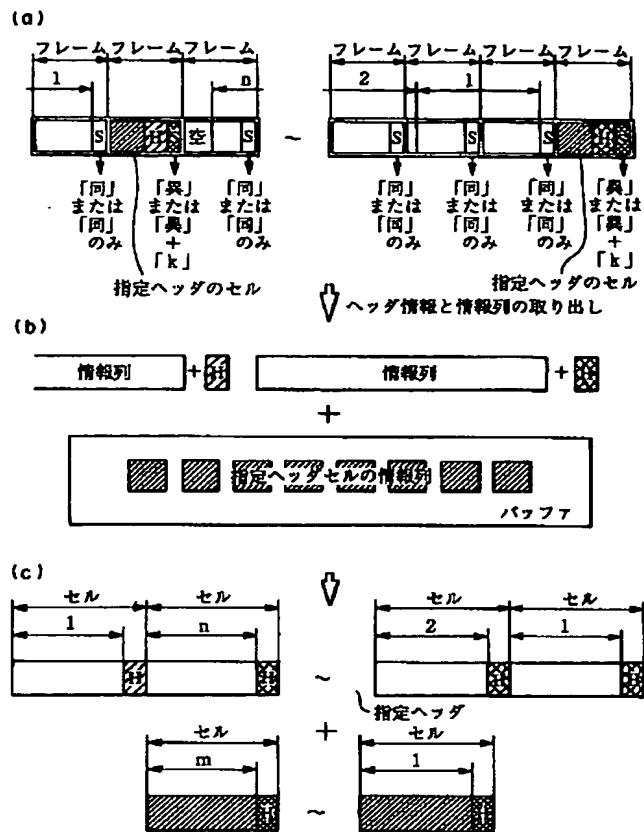


【図34】

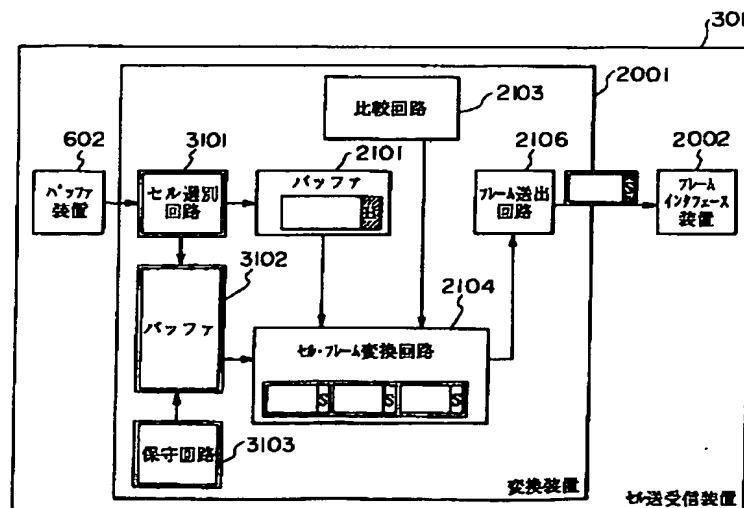




【図 3 5】



【図 3 7】



【图 38】

